

Transiente Leistungsbewertung und Aufbau eines dynamisch rekonfigurierbaren Multiprozessor- bzw. Multi-FPGA-Systems

Projektleitung:

Professor Dr.-Ing. Günter Hommel

Institut für Technische Informatik und Mikroelektronik der Technischen Universität Berlin

Einsteinufer 17 10587 Berlin

Tel: 030-314-73110 Fax: 030-314-21116 E-Mail: hommel@cs.tu-berlin.de

Internet: pdv.cs.tu-berlin.de

DFG-Fachausschuss:

407 Informatik

Zusammenfassung:

Das Ziel des Forschungsvorhabens ist die transiente Leistungsbewertung und der Aufbau eines dynamisch rekonfigurierbaren Multiprozessor- bzw. Multi-FPGA-Systems. Der Schwerpunkt am Institut des Antragstellers soll dabei in der Entwicklung eines rekonfigurierbaren Verbindungsnetzes liegen, das die Kommunikation zwischen den Prozessoren bzw. rekonfigurierbaren FPGAs ermöglicht. Im Mittelpunkt werden dabei mehrstufige Verbindungsnetze (MIN) stehen, die als besonders für diese Aufgabe geeignet erscheinen, insbesondere die Klasse der Turnaround-MINs. In einer ersten Phase soll ein Werkzeug zur transienten Leistungsbewertung von rekonfigurierbaren MINs entwickelt werden. Dies ermöglicht die Abhängigkeit der optimalen Netzkonfiguration von der Verteilung der Kommunikation im Multiprozessor- bzw. Multi-FPGA-System zu untersuchen. In der nächsten Phase soll eine Hardware-Realisierung des rekonfigurierbaren Rechensystems mit Turnaround-MINs erfolgen. In einem ersten Schritt ist an eine Beschaltung des rekonfigurierbaren Netzes mit FPGAs gedacht, die durch ihre spezielle Konfiguration künstlichen Verkehr erzeugen. Im zweiten Schritt könnten dann, in Zusammenarbeit mit anderen Teilnehmern des Schwerpunktprogramms, die rekonfigurierbaren Prozessoren entwickelt und ein rekonfigurierbares Multiprozessor- bzw. Multi-FPGA-System aufgebaut werden.

gefördert seit / weiter gefördert seit :

19.05.03

DFG-Förderart :

Sachbeihilfe

DFG-Programm :

SPP 1148 Rekonfigurierbare Rechensysteme

DFG-Ansprechpartner :

Dr. Gerit P. Sonntag

Kennung :

247724