

## **ReCoNodes-Optimierungsmethodik zur Steuerung hardwarekonfigurierbarer Knoten**

### **Projektleitung:**

Professor Dr. Sandor Fekete

Abteilung für Mathematische Optimierung der Technischen Universität Braunschweig

Pockelsstraße 14 38106 Braunschweig

Tel: 0531-391-7551 Fax: 0531-391-7559 E-Mail: s.fekete@tu-bs.de

Internet: ---

### **gemeinsam mit:**

Professor Dr.-Ing. Jürgen Teich

Institut für Informatik 12 Hardware-Software-Co-Design Technische Fakultät der Universität Erlangen-Nürnberg

Am Weichselgarten 3 91058 Erlangen

Tel: 09131-85-25150 Fax: 09131-85-25149 E-Mail: teich@informatik.uni-erlangen.de

Internet: [www12.informatik.uni-erlangen.de/people/teich/](http://www12.informatik.uni-erlangen.de/people/teich/)

### **DFG-Fachausschuss:**

407 Informatik

### **Zusammenfassung:**

Die Fähigkeit dynamisch rekonfigurierbarer Hardware eröffnet neue Perspektiven in der zeitvarianten Nutzbarkeit gegebener Ressourcen. In diesem Projekt soll der bislang nur unzulänglich automatisierte Zugang zu rekonfigurierbaren Schaltungen, insbesondere FPGA-basierten Architekturen, erschlossen werden durch Bereitstellung von Modellen und Optimierungsmethoden im Zusammenhang mit der dynamischen Hardwarerekonfiguration. Diese Modelle und Methoden resultieren schließlich in einer Art Betriebssystem für Hardwarefunktionen, das die Verwaltung der Ressourcen zur Laufzeit übernimmt. Als Anwendungsszenario eines solchen Betriebssystems wollen wir einen Hardwareknoten als Teil einer verteilten Steuerung betrachten, bei der die Initiierung neuer Dienste beispielsweise durch benachbarte Knoten eines Netzwerks rekonfigurierbarer Knoten erfolgen kann. Konkreter Gegenstand unserer Untersuchungen sind Strategien und Methoden der mathematischen Optimierung für die optimale Steuerung und Nutzung neuester und künftiger Generationen von FPGA. Solche rekonfigurierbaren Chips werden bereits in verschiedensten technischen Zusammenhängen genutzt. Aufgrund praktischer Hindernisse (vor allem durch den hohen Rekonfigurationsaufwand) und theoretisch noch nicht voll entwickelter Methoden konnte das Potential rekonfigurierbarer Hardware bislang nur zu einem kleinen Teil verwirklicht werden. Es ist unser Ziel zu zeigen, dass die meisten dieser Schwierigkeiten bereits mit bestehender Technologie zu einem guten Teil überwunden werden können. Davon erwarten wir auch neue Impulse für Entwicklung und Einsatz neuer Chipgenerationen.

**gefördert seit / weiter gefördert seit :**

19.05.03

**DFG-Förderart :**

Sachbeihilfe

**DFG-Programm :**

SPP 1148 Rekonfigurierbare Rechensysteme

**DFG-Ansprechpartner :**

Dr. Gerit P. Sonntag

**Kennung :**

248765