



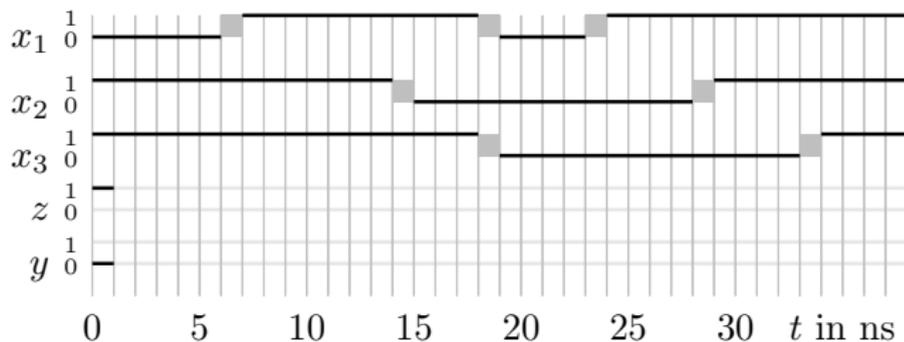
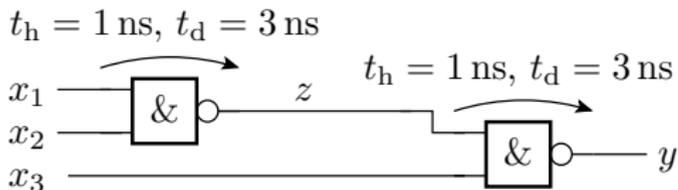
Entwurf digitaler Schaltungen

Große Übung 3

Prof. G. Kemnitz, Dr. C. Giesemann

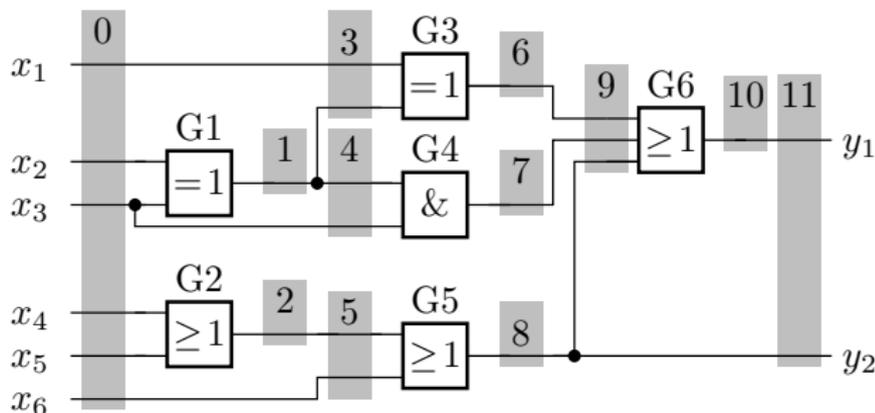
Institut für Informatik, Technische Universität Clausthal
13. April 2022

Aufgabe 3.1: Simulation mit Zeittoleranzen



Bestimmen Sie die Zeitverläufe von z und y .

Aufgabe 3.2: Halte- und Verzögerungszeiten



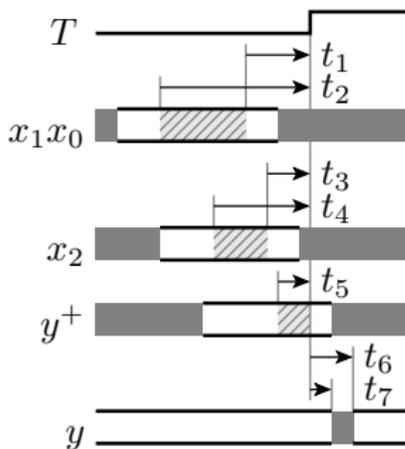
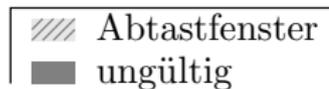
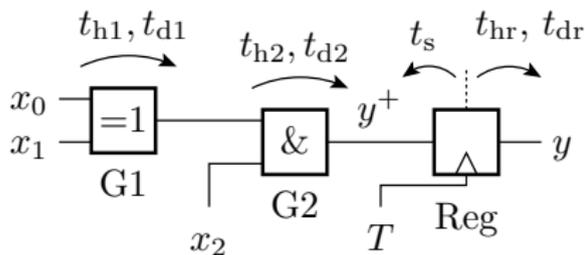
Halte- und Verzögerungszeiten der Gatter

	$t_{h,i}$	$t_{d,i}$
G1	5 ns	8 ns
G2	4 ns	7 ns
G3	5 ns	8 ns

	$t_{h,i}$	$t_{d,i}$
G4	6 ns	9 ns
G5	4 ns	7 ns
G6	4 ns	7 ns

Bestimmen Sie die Gesamthalte- und die Gesamtverzögerungszeiten für alle eingezeichneten Signalgruppen.

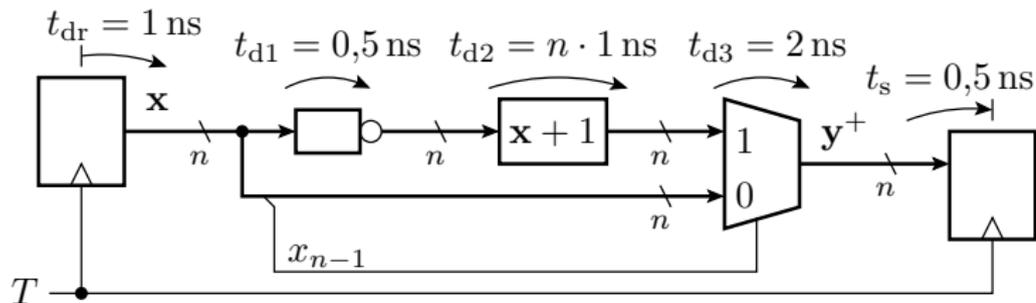
Aufgabe 3.3: Beschreibung als Abtastprozess



```
signal x0, x1, x2, y_next, T, y: std_logic;
```

- 1 Beschreibung von t_1 bis t_7 als Funktion der Werte von $t_{h...}$, $t_{d...}$ etc.
- 2 Beschreibung der Gesamtschaltung als Abtastprozess.

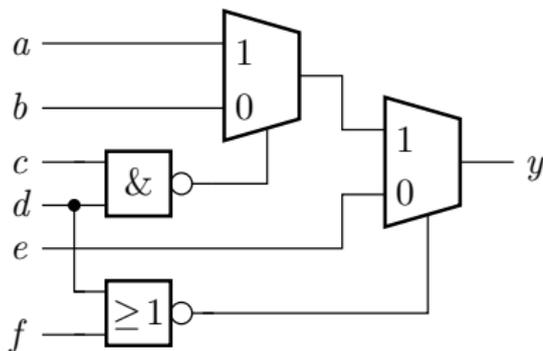
Aufgabe 3.4: Register-Transfer-Funktion



Gesucht:

- 1 Maximal zulässige Taktfrequenz in Abhängigkeit von der Bitbreite n ?
- 2 Maximal zulässige Taktfrequenz für $n = 16$?

Aufgabe 3.5: Synthese von Gatterschaltungen



Beschreiben Sie die Schaltung in VHDL in einer synthesefähigen Form.



Aufgabe 3.6: Beschreibungsfehler

Welche Fehler enthält die Beschreibung?

```
entity schaltung is
  port(a, b, c: in std_logic;
        y      : out std_logic);
end entity;

architecture a of schaltung is
  signal z: std_logic;
begin
  process (a, b)
    variable v: std_logic;
  begin
    if a='1' then v := b; end if;
    z <= v and c; y <= z or v;
  end process;
end architecture;
```