



Elektronik II, Foliensatz 4

Feldeffekttransistoren

G. Kemnitz

Institut für Informatik, Technische Universität Clausthal
9. Juli 2013



Inhalt des Foliensatzes

Feldeffekttransistoren

- 1.1 MOSFET
- 1.2 Sperrschicht-Fet
- 1.3 Leistungsschalter
- 1.4 Kleinsignalmodell
- 1.5 Schaltverhalten
- 1.6 Aufgaben

Grundsaltungen

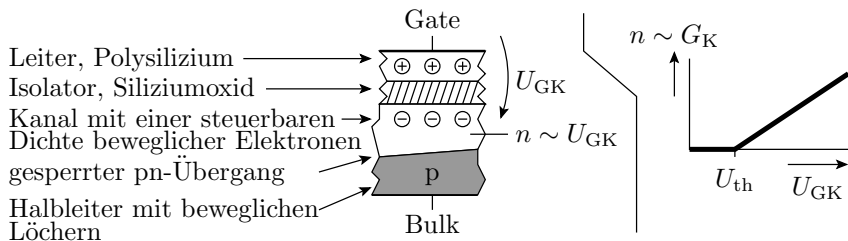
- 2.1 Source-Schaltung
- 2.2 Drainschaltung
- 2.3 Gateschaltung
- 2.4 Aufgaben



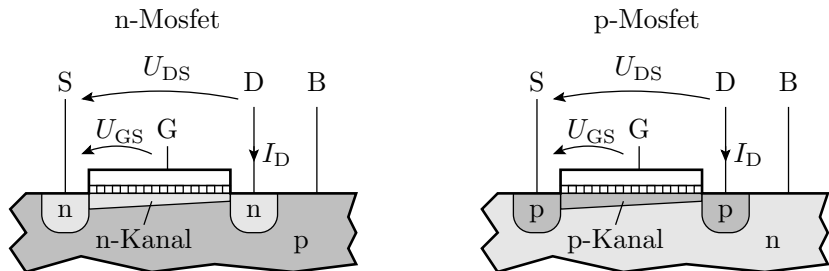
Feldeffekttransistoren

MOSFET

- Über der Halbleiteroberfläche befindet sich, isoliert durch eine dünne Oxidschicht, die Steuerelektrode, das Gate
- Die Gate-Kanal-Spannung steuert die Zustandsdichte der beweglichen Ladungsträger (Elektronen oder Löcher) und damit den Leitwert im Kanal.

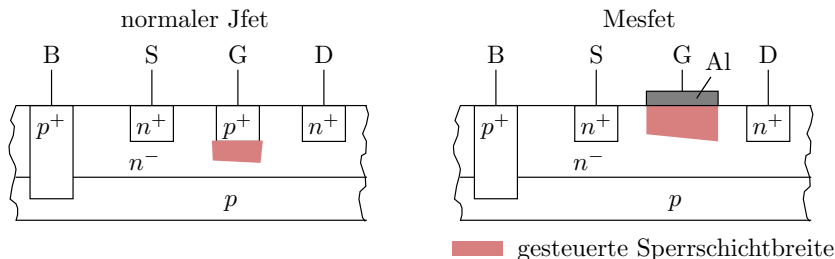


Aufbau und Anschlüsse



- Source: Quelle der beweglichen Ladungsträger
- Drain: Abfluss der beweglichen Ladungsträger
- SB- und DB-Übergang immer in Sperrrichtung
- Vorzeichen U_{DS} so, dass Ladungen zum Drain fließen
 - NMOS: $U_{DS} \geq 0$, $I_D \geq 0$
 - PMOS: $U_{DS} \leq 0$, $I_D \leq 0$

Sperrschicht-FET (Jfet und MesFet)

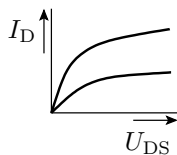
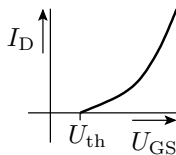
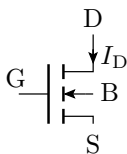


Steuerung der Kanalbreite über die Breite einer Sperrschicht:

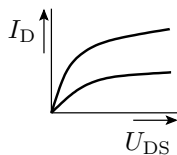
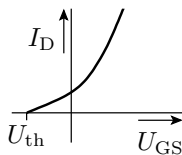
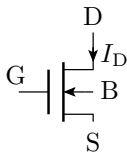
- JFet (junction-fet) eines gesperrten pn-Übergangs
- MesFet (metal-semiconductor-fet) eines Schottky-Übergangs
- immer selbstleitend

Kennlinien und Symbole

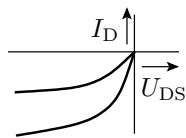
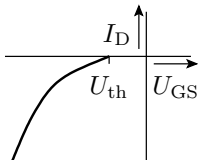
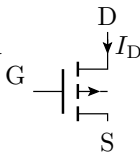
n-Mosfet
selbstsperrend



n-Mosfet
selbstleitend



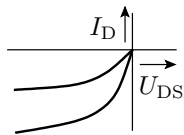
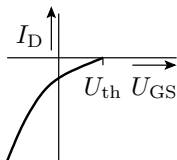
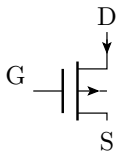
p-Mosfet
selbstsperrend



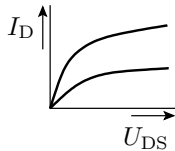
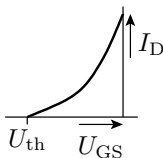
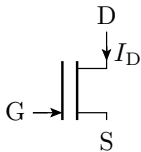


1. Feldeffekttransistoren

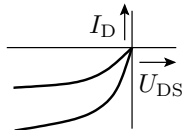
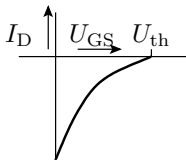
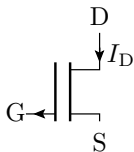
p-Mosfet
selbstleitend



n-Jfet



p-Jfet

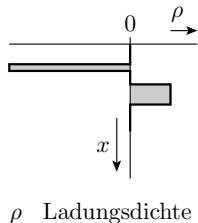
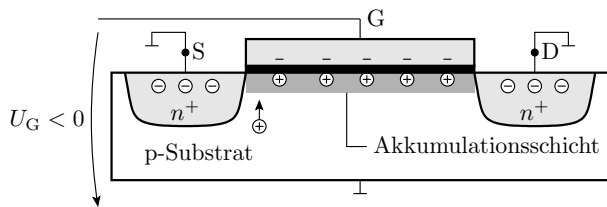




MOSFET

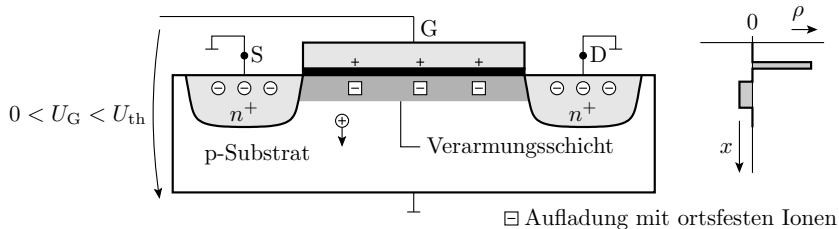
Feldeffekt (NMOS-Transistor)

- Gate-Isolator-Halbleiter \Rightarrow Plattenkondensator
- negative Gateladung führt zu einer Ansammlung positiver beweglicher Ladung unter dem Gate
- Source-Kanal- und Drain-Kanal-Übergang gesperrt



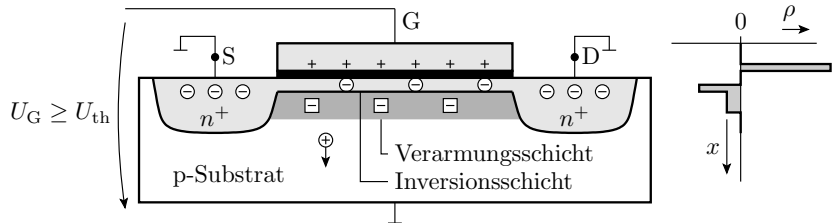
Positive Gatespannung kleiner der Einschaltspannung U_{th}

- wegdriften der Löcher;
- Anreicherung ortsfester Ladungen im Kanal
- Kanal bleibt gesperrt



Positive Gatespannung größer der Einschaltspannung

- Source-Kanal-Übergang wechselt in den Durchlassbereich
- der Kanal füllt sich mit beweglichen Elektronen
- bewegliche Ladung im Kanal $\sim U_G - U_{th}$



Einschaltspannung

- Die Einschaltspannung eines MOS-Transistors :

$$U_{th} = U_{th,0} + \gamma \cdot \left(\sqrt{U_{inv} - U_{BS}} - \sqrt{U_{inv}} \right) \quad (1)$$

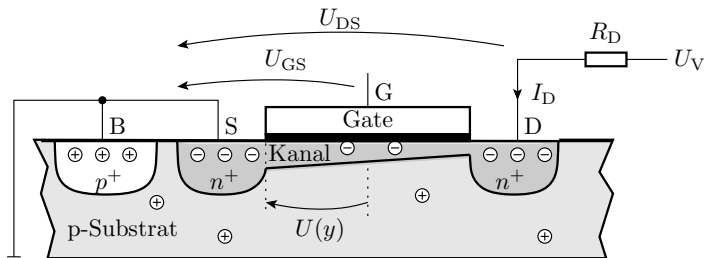
(U_{BS} – Bulk-Source-Spannung).

- Parameter für einen Beispiel-CMOS-Prozess:

| Param. | Spice | Bezeichnung | n-Kanal | p-Kanal | |
|------------|-------|----------------------|---------|---------|------------|
| $U_{th,0}$ | VT0 | Null-Schwelspannung | 0,73 | -0,75 | V |
| γ | GAMMA | Substratsteuerfaktor | 0,73 | 0,56* | \sqrt{V} |
| U_{inv} | PHI | Inversionsspannung | 0,76 | 0,73 | V |

* Beim PMOS-Transistoren sind γ und U_{BS} negiert in Gl. 1 einzusetzen. Im Spice-Modell berücksichtigt.

Stromgleichungen – aktiver Bereich



- beweglichen Ladung im Kanal:

$$Q_1(y) = C_1 \cdot (U_{GK}(y) - U_{th}) = C_1 \cdot (U_{GS} - U_{th} - U(y))$$

y Weg vom Source zum Drain

$Q_1(y)$ beweglichen Ladung für Wegstück dy

C_1 Gate-Kanal-Kapazität für Wegstück dy

$U(y)$ Gate-Kanal-Spannung an der Stelle y

- Der Drainstrom ist ein Driftstrom:

$$I_D = Q_1(y) \cdot \mu \cdot E_y$$

μ Beweglichkeit

E_y Feldstärke in Kanalrichtung

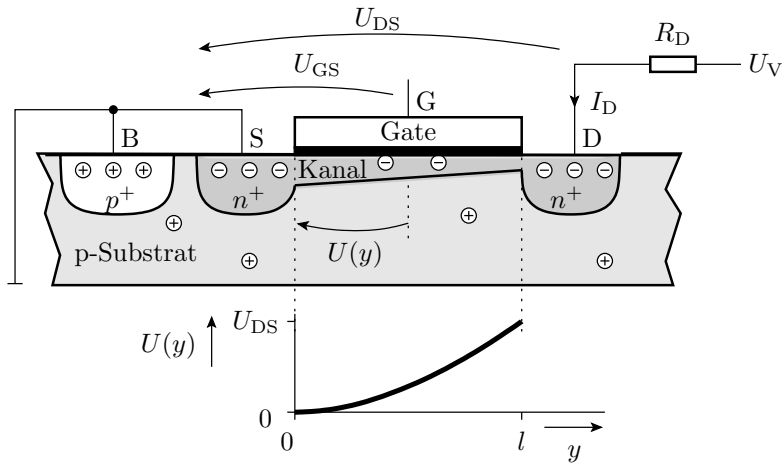
$\mu \cdot E_y$ Geschwindigkeit der Ladungsträger

- Die Feldstärke in Stromflussrichtung ist gleich der Spannungsänderung entlang des Kanals:

$$E_y = \frac{dU(y)}{dy}$$

- Alle Gl. zusammen ergeben eine DGL:

$$I_D = C_1 \cdot \mu \cdot (U_{GS} - U_{th} - U(y)) \cdot \frac{dU(y)}{dy}$$



$$I_D = C_1 \cdot \mu \cdot (U_{GS} - U_{th} - U(y)) \cdot \frac{dU(y)}{dy}$$

$$I_D = C_1 \cdot \mu \cdot (U_{GS} - U_{th} - U(y)) \cdot \frac{dU(y)}{dy}$$

- Die Integration beider Gleichungsseiten über die gesamte Kanallänge:

$$I_D \cdot \int_0^L dy = C_1 \cdot \mu \cdot \int_0^L (U_{GS} - U_{th} - U(y)) \cdot \frac{dU(y)}{dy} \cdot dy$$

$$I_D \cdot L = C_1 \cdot \mu \cdot \int_{\varphi(0)}^{\varphi(L)} (U_{GS} - U_{th} - U(y)) \cdot dU(y)$$

mit $\varphi(0) = 0$ und $\varphi(l) = U_{DS}$

$$I_D = \frac{C_1 \cdot \mu}{L} \cdot \left((U_{GS} - U_{th}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right)$$

mit relativem Steilheitskoeffizient:

$$K' = \frac{C_1 \cdot \mu}{W}$$



$$I_D = K' \cdot \frac{W}{L} \cdot \left((U_{GS} - U_{th}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right)$$

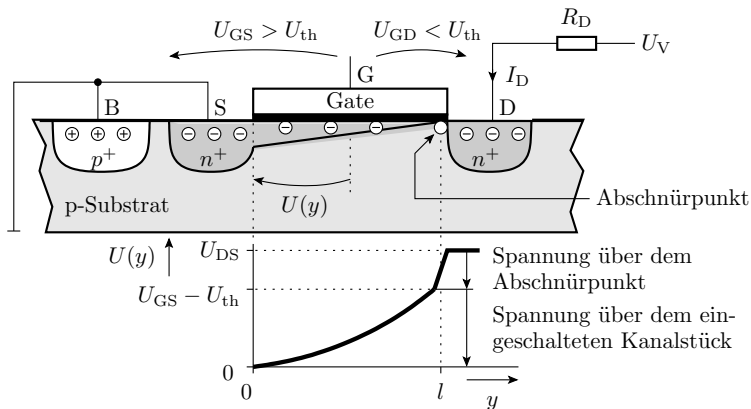
- Parameter für einen Beispiel-CMOS-Prozess:

| Param. | Spice | Bezeichnung | n-Kanal | p-Kanal | |
|--------|-------|---------------------------------|---------|---------|--------------------------|
| K' | Kp | relativer Steilheitskoeffizient | 69 | 23,6* | $\mu\text{A}/\text{V}^2$ |

*Bei PMOS-Transistoren ist der Steilheitskoeffizient in der Gleichung darüber negativ, damit ein negativer Strom herauskommt. Das Vorzeichen steckt aber offenbar schon im Modell des PMOS-Transistors:

$$I_{D.PMOS} = -K' \cdot \frac{W}{L} \cdot (\dots)$$

Einschnürbereich



- Das Kanalende ist ausgeschaltet
- Die restliche Spannung $U_{DS} - U_{GS} + U_{th}$ fällt über dem eingeschnürten Kanalstück ab.



- Die Länge des Einschnürbereichs regelt sich so ein, dass die ankommenden Ladungsträger zum Drain abfließen können.
- Der ankommende Strom I_D hängt nicht von der Spannung über dem Einschnürpunkt ab.
- konstanter I_D , gleiche Größe wie beim Übergang in den Einschnürbereich $U_{DS} = U_{GS} - U_{th}$:

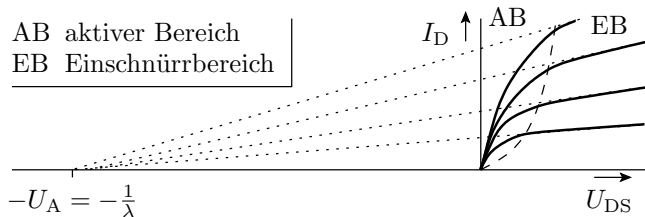
$$I_D = K' \cdot \frac{W}{L} \cdot \left((U_{GS} - U_{th}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right)$$

$$\text{für } U_{DS} = U_{GS} - U_{th}$$

$$I_D = K' \cdot \frac{W}{2 \cdot L} \cdot (U_{GS} - U_{th})^2$$

Kanallängenmodulation und Early-Effekt

Steigende Drain-Source-Spannung: Ausdehnung Einschnürrpunkt.
Kanalverkürzung. Beobachtbares Verhalten:



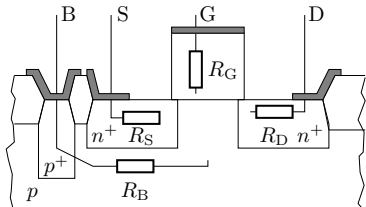
Korrekturterm nach Strahlensatz: $\left(1 + \frac{U_{DS}}{U_A}\right) = (1 + \lambda \cdot U_{DS})$

| Param. | Spice | Bezeichnung | n-Kanal | p-Kanal |
|-----------|--------|----------------------------------|------------------------|------------------------|
| λ | LAMBDA | Kanallängen-Modulationsparameter | $0,033 \text{ V}^{-1}$ | $0,055 \text{ V}^{-1}$ |

- Stromgleichung mit Early-Effekt

$$I_D = K' \cdot \frac{W}{L} \cdot (1 + \lambda \cdot U_{DS}) \cdot \begin{cases} 0 & \text{Sperrbereich} \\ (U_{GS} - U_{th}) \cdot U_{DS} - \frac{U_{DS}^2}{2} & \text{aktiver Bereich} \\ \frac{(U_{GS} - U_{th})^2}{2} & \text{Einschnürrbereich} \end{cases}$$

- Bahnwiderstände:



| Param. | Spice | Bezeichnung | BC547B | BUV47 | |
|--------|-------|-----------------------|--------|-------|----------|
| R_G | RG | Gate-Bahnwiderstand | - | 5,6 | Ω |
| R_S | RS | Source-Bahnwiderstand | 0,02 | 0,022 | Ω |
| R_D | RD | Drain-Bahnwiderstand | 25 | 0,022 | Ω |

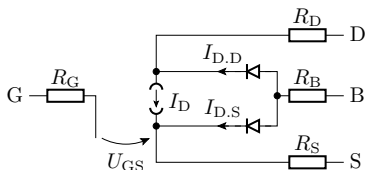


- Ein Fertigungsprozess gibt statt der Einzelwiderstände Schichtwiderstände vor.
- Schichtwiderstand R_{sh} : Widerstand einer quadratischen leitfähigen Schicht. Produkt aus Dicke und spezifischem Widerstand.
- Widerstand eines Schichtelements Länge L Breite W :

$$R = R_{sh} \cdot \frac{L}{W}$$

| Param. | Spice | Bezeichnung | NMOS | PMOS | |
|----------|-------|---|------|------|----------|
| R_{sh} | RSH | Drain-Source-Diffusions- schichtwiderstand | 25 | 45 | Ω |

Sperrströme der Bulkdioden



- Parameter für die Sperrströme der Bulk-Dioden:

| Param. | Spice | Bezeichnung | BSD215 | IRF140 | |
|--------|-------|---|--------|--------|----|
| I_S | IS | Sättigungssperrstrom Bulk-Dioden | 125 | 1,3 | pA |
| n | N | Emmisionskoeffizient der Bulk-Dioden | - | - | |



MOSFET in LT-Spice

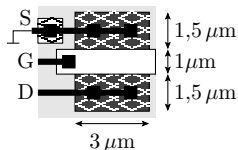
```
.model nmos1 nmos(Kp=69e-6 VT0=0.73 lambda=0.003 ...)¹
.model pmos1 pmos(Kp=23e-6 VT0=0.75 lambda=0.055 ...)
```

| Param. | Spice | Bezeichnung | n-Kanal | p-Kanal | |
|-------------------|--------|----------------------------------|------------------------|------------------------|--------------------------|
| K' | Kp | relativer Steilheitskoeffizient | 69 | -23,6 | $\mu\text{A}/\text{V}^2$ |
| $U_{\text{th.0}}$ | VT0 | Null-Schwelspannung | 0,73 | -0,75 | V |
| γ | gamma | Substratsteuerfaktor | 0,73 | 0,56 | $\sqrt{\text{V}}$ |
| U_{inv} | PHI | Inversionsspannung | 0,76 | 0,73 | V |
| λ | lambda | Kanallängen-Modulationsparameter | $0,033 \text{ V}^{-1}$ | $0,055 \text{ V}^{-1}$ | |

¹Erzeugt ein neues Modell, bei dem die explizit zugewiesenen Parameterwerte die Standardwerte der Basismodelle, hier »nmos« und »pmos« überschreiben.

Festlegung der Geometrie

- Geometrieunabhängiges Modell definieren:
`.modell1 nmos1 nmos(Kp=25μA/V2 VT0=0.73 lambda=0.003 ...)`
- MOS-Transistor »nmos4« auswählen
- Modell und Geometrieparameter eintragen.

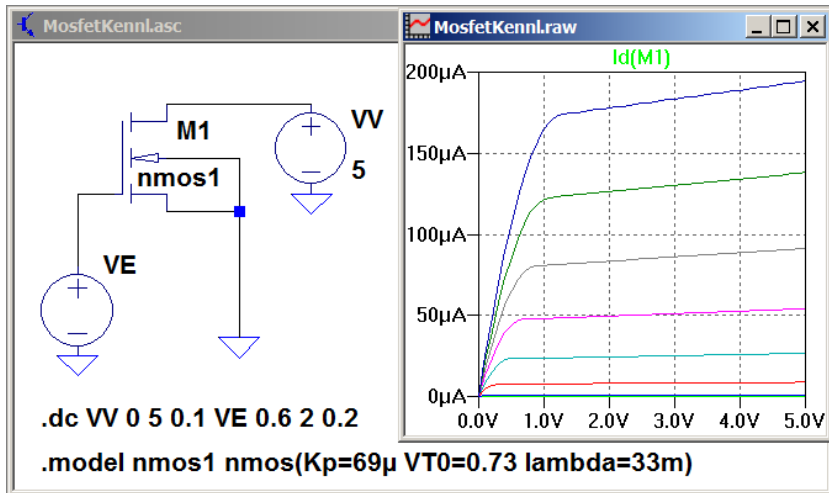


- n-Wanne
- p⁺-Gebiet
- n⁺-Gebiet
- Polysilizium-Streifen
- Metalleiterbahn
- Durchkontaktierung

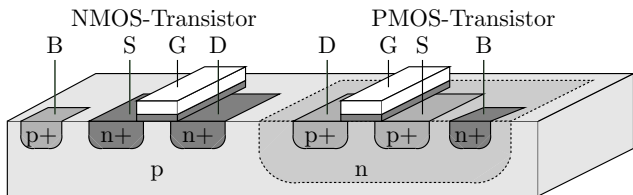
Eingabemaske

| Monolithic MOSFET - M1 | | |
|--|------------|----|
| Model Name: | nmos1 | |
| für die Kennlinienbe- rechnung erforderlich { | Length(L): | 1μ |
| | Width(W): | 3μ |
| Drain Area(AD): | 4.5e-12 | |
| Source Area(AS): | 4.5e-12 | |
| Drain Perimeter(PD): | 9μ | |
| Source Perimeter(PS): | 9μ | |
| No. Parallel Devices(M): | | |

Schaltung und Simulationsergebnis



Kapazitäten



- Kapazität vom Gate zum Kanal bzw. Bulk:

$$C_G = \epsilon_0 \cdot \epsilon_{\text{SiO}_2} \cdot \frac{L \cdot W}{d_{\text{ox}}}$$

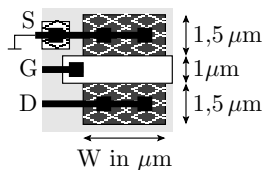
($\epsilon_0 = 8,85 \frac{\text{pF}}{\text{m}}$ – Dielektrizitätskonstante Vakuum;
 $\epsilon_{\text{SiO}_2} = 3,9$ – relative Dielektrizitätskonstante von SiO_2 ; L –
 Länge; W – Breite des Gates.)

- Kapazität der Source- und Draingebiete zum Substrat:

$$C_{\text{BS/BD}} = A \cdot C'_S + u \cdot C'_R$$

(A – Fläche; u – Umfang des Drain- bzw. Source-Gebiets).

| Param. | Spice | Bezeichnung | NMOS | PMOS | |
|----------|-------|----------------------------------|------|------|--------------------------|
| d_{ox} | TOX | Oxiddicke | 25 | 25 | nm |
| C'_S | CJ | Sperrschicht- Kapazitätsbelag | 360 | 340 | $\mu\text{F}/\text{m}^2$ |
| C'_R | CJSW | Rand- Kapazitätsbelag | 250 | 200 | pF/m |



Gatefläche:

$$W \cdot \mu\text{m}^2$$

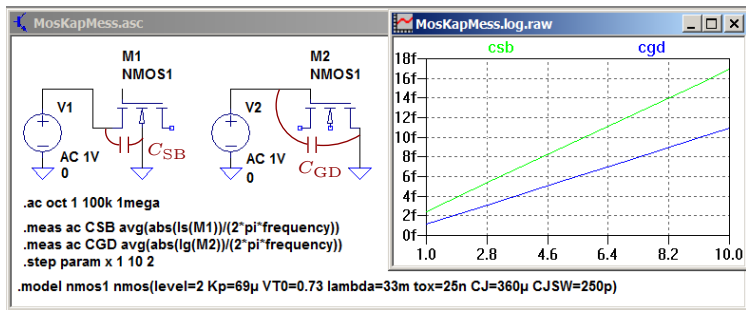
Fläche Source- / Draingebiet: $A = 1,5 \cdot W\ \mu\text{m}^2$

Umfang Source- / Draingebiet: $u = 2 \cdot W + 3\ \mu\text{m}$

$$C_G = 8,85 \frac{\text{pF}}{\text{m}} \cdot 3,9 \cdot \frac{1\ \mu\text{m} \cdot W}{25\ \text{nm}} = W \cdot 1,55\ \text{fF}$$

$$\begin{aligned} C_{BS} &= C_{BD} = W \cdot 1,5\ \mu\text{m}^2 \cdot 360 \frac{\mu\text{F}}{\text{m}^2} + (2 \cdot W + 3\ \mu\text{m}) \cdot 250 \frac{\text{pF}}{\text{m}} \\ &= W \cdot 1,04\ \text{fF} + 0,75\ \text{fF} \end{aligned}$$

Kapazitäten im Simulationsmodell



AC-Simulation der kapazitiven Ströme und Umrechnung in Kapazitäten:

$$C_{...} = \frac{|\underline{I}_{...}(f)|}{1V \cdot 2\pi \cdot f}$$

- Die Gate-Kapazität wird offensichtlich zur Hälfte zu C_{GS} und zur Hälfte zu C_{GD} zugeordnet.

Modell mit Kapazitäten

■ Kapazitäten

$$C_{GS} = C_{GD} = \frac{\epsilon_0 \cdot \epsilon_{\text{SiO}_2} \cdot L \cdot W}{2 \cdot d_{\text{ox}}}$$

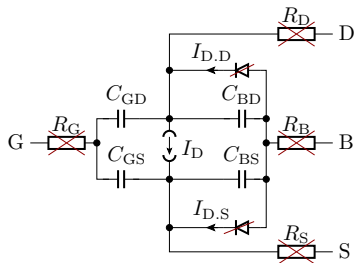
$$C_{BS} = A_S \cdot C'_S + u_S \cdot C'_R$$

$$C_{BD} = A_D \cdot C'_S + u_D \cdot C'_R$$

■ Stromgleichung mit Early-Effekt

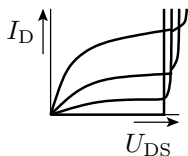
$$I_D = K' \cdot \frac{W}{L} \cdot (1 + \lambda \cdot U_{DS}) \cdot \begin{cases} 0 & \text{Sperrbereich} \\ (U_{GS} - U_{th}) \cdot U_{DS} - \frac{U_{DS}^2}{2} & \text{aktiver Bereich} \\ \frac{(U_{GS} - U_{th})^2}{2} & \text{Einschnürrbereich} \end{cases}$$

- Bahnwiderstände und die Sperrströme der pn-Übergänge sollen im Weiteren bei integrierten Transistoren vernachlässigt werden.



Durchbruchspannung

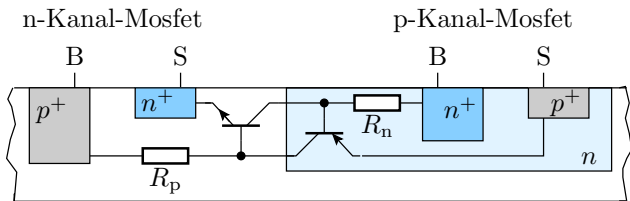
- Durchschlag des Gateoxids bei Mosfets ab etwa 10 bis 20 V; zerstörend; Wegen hohen Eingangswiderstand genügt bereits die Ladung beim Berühren.
- Bei Einzel-MOSFETs ohne Schutzschaltung Anschlüsse verbunden; Verbindung erst nach Einbau entfernen.
- Drain-Source-Durchbruch: 10 bis 40 V wegen hoher Feldstärke gleich Spannung durch Kanallänge:



- Spice-Parameter²?

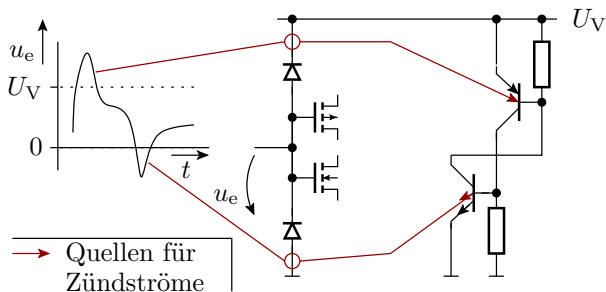
²Wird so vom Simulationsmodell nicht unterstützt.

Parasitärer Thyristor und Latch-up



- Die Schichtfolge npnp bildet eine Thyristor
- Wenn einer der parasitären Bipolartransistoren einen kurzen Basisstrom bekommt, liefert er dem anderen Basisstrom. Zünden. Selbsthaltend.
- Ausschaltbar nur durch Stromunterbrechung.
- Wirkt wie ein Kurzschluss zwischen Versorgungsspannung und Masse. Thermische Zerstörung des Bauteils.

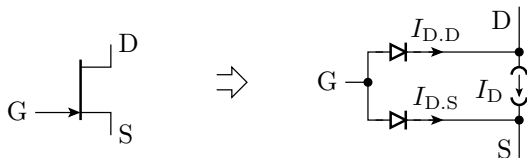
- Potentielle Quellen für Zündströme: Eingangs- und Ausgangspotentiale < 0 oder $> U_V$ über Eingangsschutzdioden oder die Bulkdioden am Ausgang.
- Bei Gefahr von unzulässigen Eingangsspannungen Reihenwiderstand $\approx 100 \Omega$ zur Begrenzung des Stroms durch die Schutzdioden.





Sperrschicht-Fet

Sperrschicht-Fets



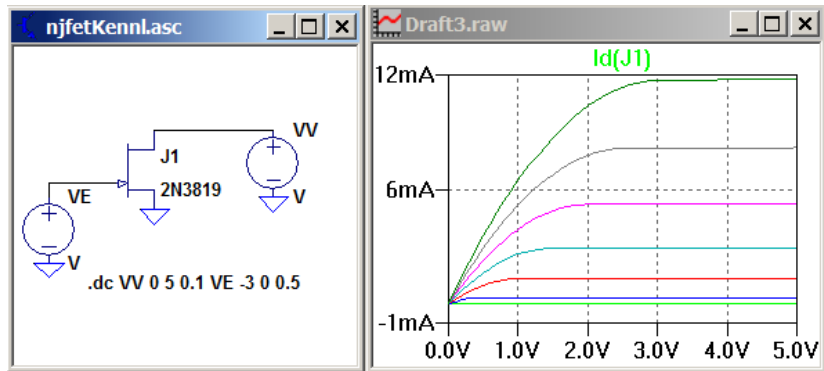
- Weglassen des isolierten Gates
- Umbenennen Bulk in Gate
- Ersatz $K'_n \cdot \frac{W}{L}$ durch $2 \cdot \beta$

$$I_D = 2 \cdot \beta \cdot (1 + \lambda \cdot U_{DS}) \cdot \begin{cases} 0 \\ (U_{GS} - U_{Th}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \\ \frac{(U_{GS} - U_{Th})^2}{2} \end{cases}$$

Sperrbereich
 aktiver Bereich
 Einschnürrbereich

Einfaches, aber nicht sehr genaues Modell.

Simulation Kennline NJFET

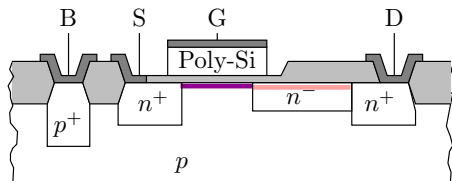


| Param. | Spice | Bezeichnung | 2N3819 | |
|-----------|--------|-----------------------|--------|---------|
| β | beta | Steilheitskoeffizient | 1,3m | A/V^2 |
| λ | lambda | Kanallängenmodulation | 2,25m | $1/V$ |
| U_{th} | VT0 | Null-Schwelspannung | -3 | V |

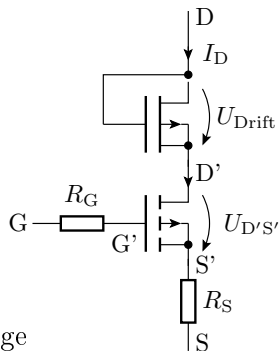


Leistungsschalter

MOSFET für hohe Spannungen

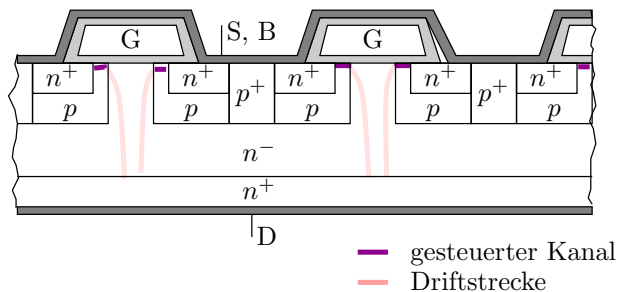


— gesteuerter Kanal — Driftstrecke



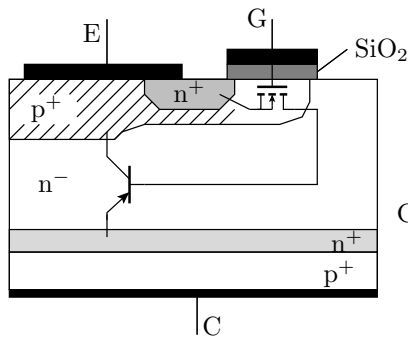
- hohe Steilheit, kurze Kanallänge, geringe Drain-Source-Spannung
- Erhöhung der zulässigen U_{GSmax} durch zusätzliches niedrig dotiertes Driftgebiet zwischen Kanal und Drain, über dem ein Großteil der Drain-Source-Spannung abfällt
- Durchbruchspannung \sim Länge des Driftgebiets
- Im aktiven Bereich wirkt die Driftstrecke wie ein selbstleitender Fet

MOSFET für hohe Ströme und Spannungen

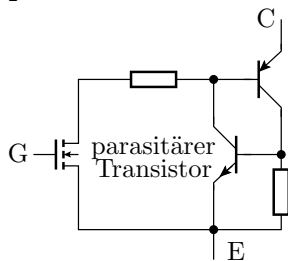


- Bei Einzel-Mosfets platzsparende vertikale Anordnung
- Der Kanal ist unter dem Gate.
- Die Driftstrecke geht nach unten.
- Als 3D-Struktur Kanalbreiten bis zu 1 μm

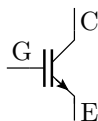
IGBT



Ersatzschaltung



Symbol



Kombination aus MOSFET und Bipolartransistor

- Bipolartransistor mit breiter Basis für hohe Spannungsfestigkeit
- Basisstrom wird vom MOS-Transistor geliefert. Wenn eingeschaltet, von unten Injektion von Ladungsträgern in die n^- -Driftregion der Basis.



Latch-Up-Gefahr:

- Bipolar- + zusätzlicher parasitären Transistor = Flächentyristor. Beim Zünden entsteht ein nicht mehr über das Gate ausschaltbarer Strom.

Anwendung als Schalter:

- Sperrspannung bis 6500 kV
- Durchlassstrom bis 3500 A
- Schaltfrequenz bis 200 kHz
- Schaltbare Verbraucherleistung bis 100 MW

Verlustleistung im IGBT:

- Durchlassspannung typ. 2,3 V
- Ausschaltverzögerung durch die für Bipolartransistoren typ. Stromschleife.

IGBT-Modul für 1,2 kA und 3,3 kV

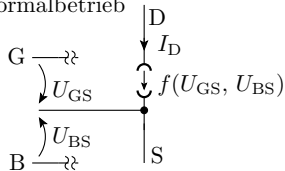




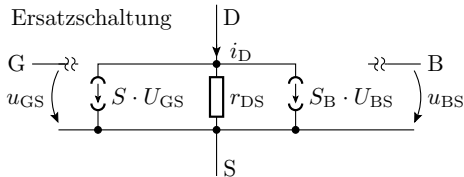
Kleinsignalmodell

Lineare Ersatzschaltung

Ersatzschaltung
Normalbetrieb



lineare
Ersatzschaltung



■ Abschnürbereich:

$$I_D = K' \cdot \frac{W}{L} \cdot (1 + \lambda \cdot U_{DS}) \cdot \frac{(U_{GS} - U_{th})^2}{2}$$

$$U_{th} = U_{th,0} - \gamma \cdot \left(\sqrt{U_{inv} - U_{BS}} - \sqrt{U_{inv}} \right)$$

$$I_D = K'_n \cdot \frac{W}{L} \cdot (1 + \lambda \cdot U_{DS}) \cdot \frac{(U_{GS} - U_{th})^2}{2}$$

$$U_{th} = U_{th.0} - \gamma \cdot \left(\sqrt{U_{inv} - U_{BS}} - \sqrt{U_{inv}} \right)$$

■ Steilheit

$$S = \left. \frac{dI_D}{dU_{GS}} \right|_A = K' \cdot \frac{W}{L} \cdot \underbrace{(1 + \lambda \cdot U_{DS.A})}_{\approx 1} \cdot \underbrace{(U_{GS.A} - U_{th.A})}_{\sqrt{2 \cdot I_{D.A} \dots}}$$

$$\approx K \cdot (U_{GS.A} - U_{th.A}) \approx \sqrt{2 \cdot K \cdot I_{D.A}} \text{ mit } K = K' \cdot \frac{W}{L} \quad (2)$$

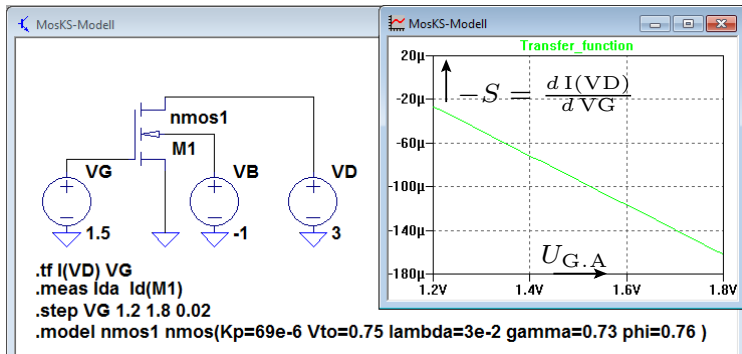
■ Ausgangswiderstand:

$$\frac{1}{r_{DS}} = \left. \frac{dI_D}{dU_{DS}} \right|_A = K'_n \cdot \frac{W}{L} \cdot \lambda \cdot \frac{(U_{GS.A} - U_{th.A})^2}{2} \approx \lambda \cdot I_{D.A}$$

■ Substratsteilheit:

$$S_B = \left. \frac{dI_D}{dU_{BS}} \right|_A = S \cdot \left. \frac{dU_{th}}{dU_{BS}} \right|_A = \frac{S \cdot \gamma}{2 \cdot \sqrt{U_{inv} - U_{BS.A}}} \quad (3)$$

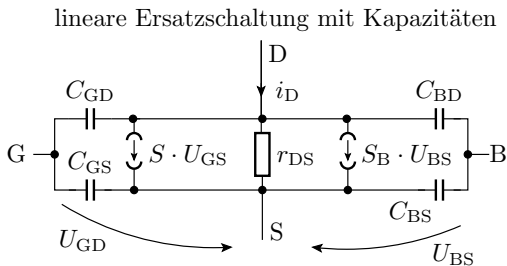
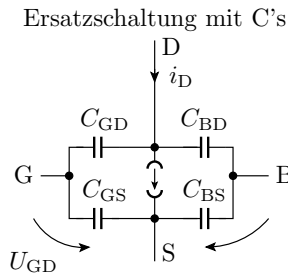
Für NMOS-Transistor $W = 3$, $K'_n = 69 \frac{\mu A}{V^2}$, ...



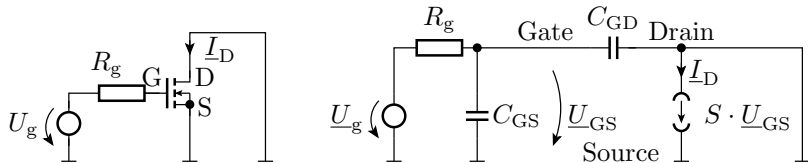
$$S = 207 \frac{\mu A}{V^2} \cdot (U_{GS.A} - 0,73 V); S_B = \frac{S \cdot 0,73}{2 \cdot \sqrt{0,67 + 1}} = S \cdot 0,28$$

$$r_{DS} = \frac{2}{207 \frac{\mu A}{V^2} \cdot 0,033 V^{-1} \cdot (U_{GS.A} - 0,73 V)^2} = \frac{293 k\Omega \cdot V^2}{(U_{GS.A} - 0,73 V)^2}$$

Einbeziehung der Kapazitäten



- Die Kapazitäten bewirken, dass für hohe Frequenzen die Verstärkung mit der Frequenz abnimmt.



Für Source, Drain und Substrat wechsellspannungsmäßig auf Masse und einem Generatorwiderstand R_g :

- entfallen alle Kapazitäten, die Massepunkte verbinden
- die von der Substratspannung gesteuerte Quelle.

$$\underline{I}_D = \frac{\underline{U}_g \cdot S}{1 + j\omega R_g \cdot (C_{GS} + C_{GD})} = \frac{\underline{U}_g \cdot S}{1 + j \frac{f}{f_0}}$$

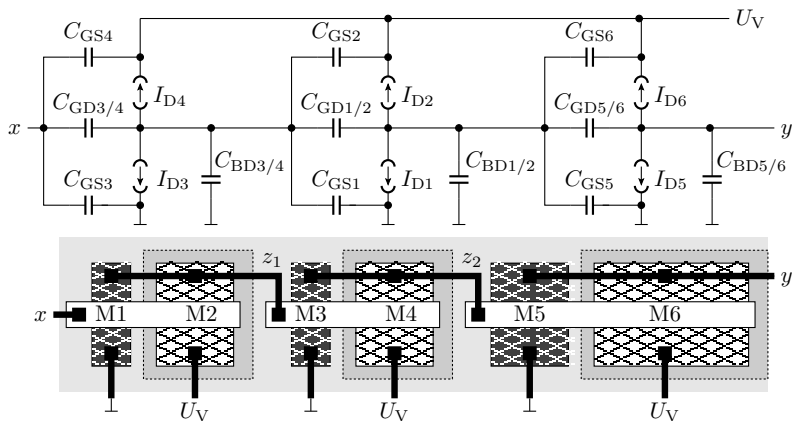
Übergangsfrequenz der Steilheit:

$$f_0 = \frac{1}{2\pi \cdot R_g \cdot (C_{GS} + C_{GD})}$$



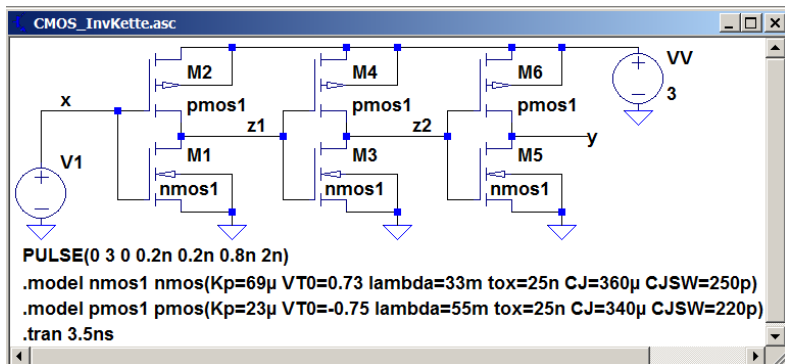
Schaltverhalten

Beispiel Inverterkette



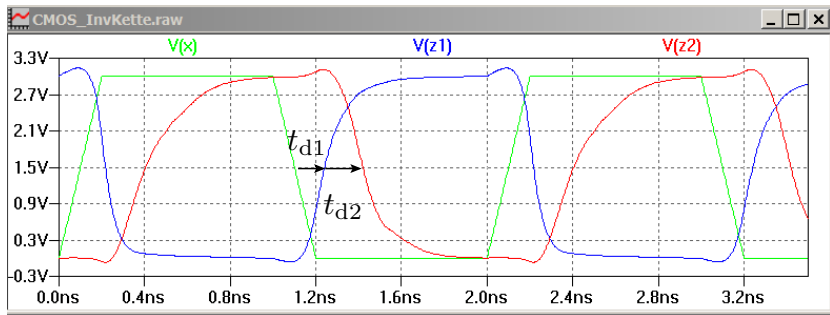
- Transistorsteilheiten und Kapazitäten berechnen sich aus den Abmessungen der Source-, Gate- und Draingebiete.

Simulation des Schaltverhaltens



| | $\frac{L}{\mu\text{m}}$ | $\frac{W}{\mu\text{m}}$ | $\frac{AD}{\mu\text{m}^2}$ | $\frac{AS}{\mu\text{m}^2}$ | $\frac{PD}{\mu\text{m}}$ | $\frac{PS}{\mu\text{m}}$ |
|------------|-------------------------|-------------------------|----------------------------|----------------------------|--------------------------|--------------------------|
| M1, M3, M5 | 1 | 1,5 | 2,25 | 2,25 | 6 | 6 |
| M2, M4, M6 | 1 | 3 | 4,5 | 4,5 | 9 | 9 |

M1 – M4 Einzeltansistoren, M5 und M6 Parallelschaltung 2 Transistoren



- Peaks zu Beginn der Schaltvorgänge werden offensichtlich von C_{GD} verursacht.
- $t_{d2} \approx 2 \cdot t_{d1}$, weil $V(Z2)$ die doppelte Last wie $V(Z1)$ hat.



Folgerung 1

Logische Funktionen werden durch Reihen- und Parallelschaltung von Transistoren realisiert. Die Verzögerung ist umgekehrt proportional zur Steilheit und proportional zur kapazitiven Last. Die Kapazitiven Lasten nehmen proportional zu Breite*Breite und die Steilheit mit Breite durch Länge zu. Einfach zu modellieren und zu entwerfen.



Aufgaben



Kontrollfragen

- 1 Warum sind Sperrschicht-FETs selbstleitend?
- 2 Hat die Schwellspannung U_{th} eines selbstsperrenden PMOS-Transistors einen positiven oder einen negativen Wert.
- 3 Was beschreibt der Kanallängen-Modulationsparameter λ ?
- 4 Was ist ein Latch-up in einer CMOS-Schaltung? Woraus setzt sich der Flächentyristor zusammen und was passiert, wenn der Flächentyristor zündet?
- 5 Was ist ein IGBT, was sind seine wesentlichen Eigenschaften und was ist seine Hauptanwendung?
- 6 Was bewirkt die Driftstrecke zwischen Kanal und Drain von MOSFETs für hohe Spannungen?
- 7 Wie ist die Steilheit im Kleinsignalmodell eines MOS-Transistors definiert und was ist die Substratsteilheit?



- 1 Berechnen Sie für einen NMOS-Transistor mit $Kp = 70 \mu\text{A}/\text{V}^2$ der Nullschwellschwelle $U_{\text{Th}} = 0,8 \text{ V}$... die Steilheit und den Ausgangswiderstand im Arbeitspunkt $U_{\text{GS.A}} = 3 \text{ V}$.
- 2 Berechnen Sie für einen NMOSFET mit den geometrischen Abmessungen in der nachfolgenden Abbildung und den geometrieunabhängigen Parametern in der nachfolgenden Tabelle die Kapazitäten ...:

| Param. | Spice | Bezeichnung | NMOS | PMOS | |
|-----------------|-------|------------------------------|------|------|--------------------------|
| d_{ox} | TOX | Oxiddicke | 25 | 25 | nm |
| C'_S | CJ | Sperrschicht-Kapazitätsbelag | 360 | 340 | $\mu\text{F}/\text{m}^2$ |
| C'_R | CJSW | Rand-Kapazitätsbelag | 250 | 200 | pF/m |

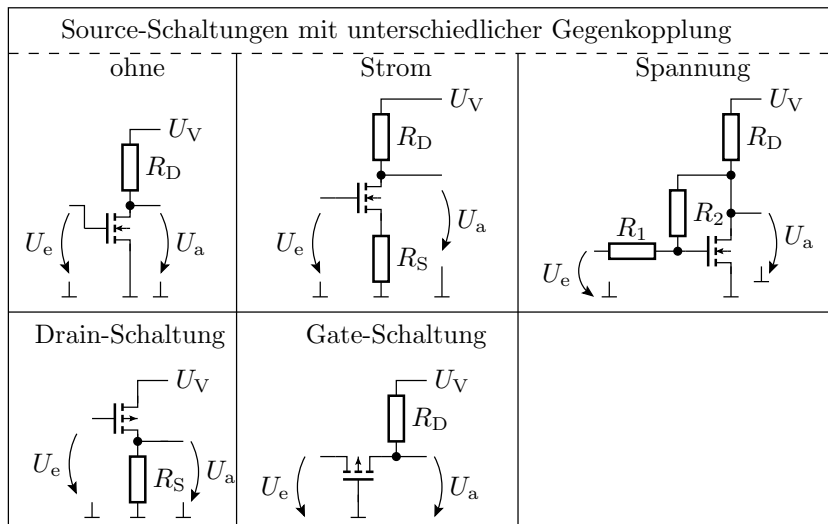
- 3 Schätzen Sie für die nachfolgende JFET-Source-Schaltung die Übertragungsfunktion, ... zu Schwer? den



Grundsaltungen



Grundsaltungen





2. Grundsaltungen

Genau wie bei Bipolartransistoren lassen sich für jede dieser Grundsaltungen:

- die Parameter der Transferfunktion
- die Übertragungsfunktion im Frequenzbereich
- die Übergangsfrequenz
- das Rauschen, der Klirrfaktor, ...

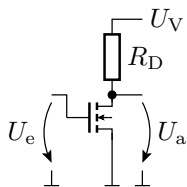
bestimmen. Die resultierenden Besonderheiten sind ähnlich zu denen der vergleichbaren Transistorschaltung:

- Source-Schaltung: normale Verstärker, Strom-/Spannungsgegenkopplung zur Linearisierung
- Drainschaltung: Impedanzkonverter
- Gate-Schaltung: Verstärker für hohe Frequenzen



Source-Schaltung

Übertragungskennlinie



Verstärker nutzen den Abschnürbereich³:

$$I_D \approx \frac{K}{2} \cdot (U_e - U_{th})^2$$

$$U_a \approx U_V - \frac{K \cdot R_D}{2} \cdot (U_e - U_{th})^2$$

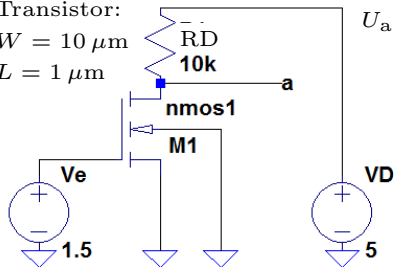
Gilt für $U_e \geq U_{th}$ und $U_a \geq U_e - U_{th}$.

- $U_e < U_{th}$: Sperrbereich
- $U_a < U_e - U_{th}$: aktiver Bereich.

³Nachfolgender Überschlag ist ohne Kanallängenmodulation.

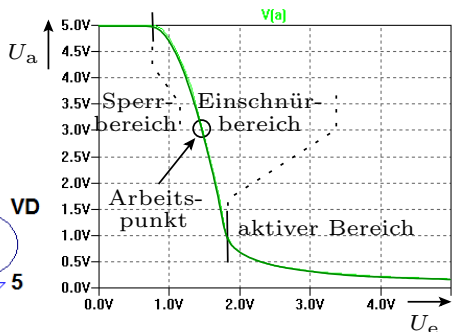
Simulation

Transistor:
 $W = 10 \mu\text{m}$
 $L = 1 \mu\text{m}$



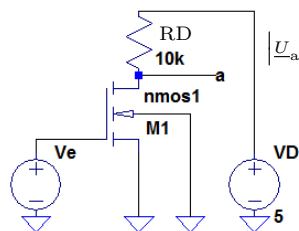
```
.dc Ve 0 5 0.1
```

```
.model nmos1 nmos(Kp=69e-6 Vto=0.75 lambda=3e-2 gamma=0.73 phi=0.76 )
```



Die Kennlinie ist nichtlinear. Für Kleinsignalverstärker wird der Arbeitspunkt in der Mitte des Einschnürrbereichs gewählt.

Klirrfaktor



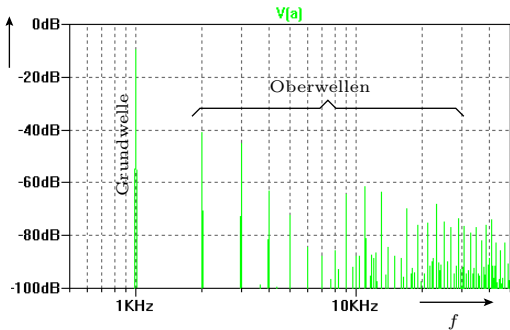
SINE(1.4V 0.1V 1kHz)

.four 1kHz 10 V(a)

.option plotwinsize=0

.tran 100ms

.model nmos1 nmos(Kp=69e-6 Vto=0.75 lambda=3e-2 gamma=0.73 phi=0.76)



Eine näherungsweise quadratische Kennlinie:

$$U_a \approx U_V - \frac{K \cdot R_D}{2} \cdot (U_e - U_{th})^2$$

Hauptsächlich Oberwellen der doppelten Frequenz?



| Harmonic Number | Frequency [Hz] | Fourier Component | Normalized Component | Phase [degree] |
|----------------------------|----------------|-------------------|----------------------|----------------|
| 1 | 1.000e+03 | 4.615e-01 | 1.000e+00 | -179.72° |
| 2 | 2.000e+03 | 1.279e-02 | 2.772e-02 | 91.64° |
| 3 | 3.000e+03 | 9.857e-03 | 2.136e-02 | 17.28° |
| 4 | 4.000e+03 | 8.984e-04 | 1.947e-03 | -111.24° |
| 5 | 5.000e+03 | 4.568e-04 | 9.899e-04 | 104.30° |
| 6 | 6.000e+03 | 6.210e-04 | 1.346e-03 | 160.23° |
| 7 | 7.000e+03 | 2.262e-04 | 4.901e-04 | 147.54° |
| 8 | 8.000e+03 | 5.054e-04 | 1.095e-03 | 168.58° |
| 9 | 9.000e+03 | 8.046e-04 | 1.743e-03 | 93.23° |
| 10 | 1.000e+04 | 4.306e-04 | 9.330e-04 | 165.59° |
| Total Harmonic Distortion: | | 3.516327% | | |

Höherer Frequenzen vernachlässigte Kanallängenmodulation?

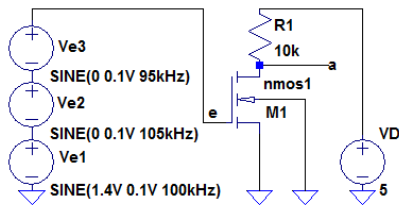
$$I_D = K \cdot (1 + \lambda \cdot U_{DS}) \cdot \frac{(U_{GS} - U_{th})^2}{2}$$

$$U_a = U_V - \frac{K \cdot R_D}{2} \cdot (U_e - U_{th})^2 \cdot (1 + \lambda \cdot U_{DS})$$

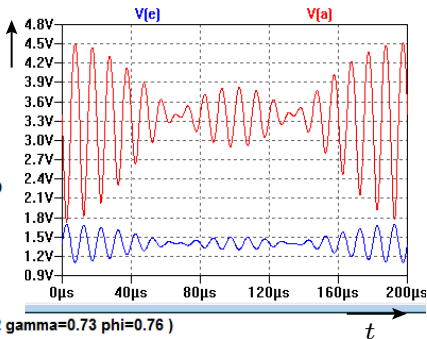
Oberwellen und Bandbegrenzung

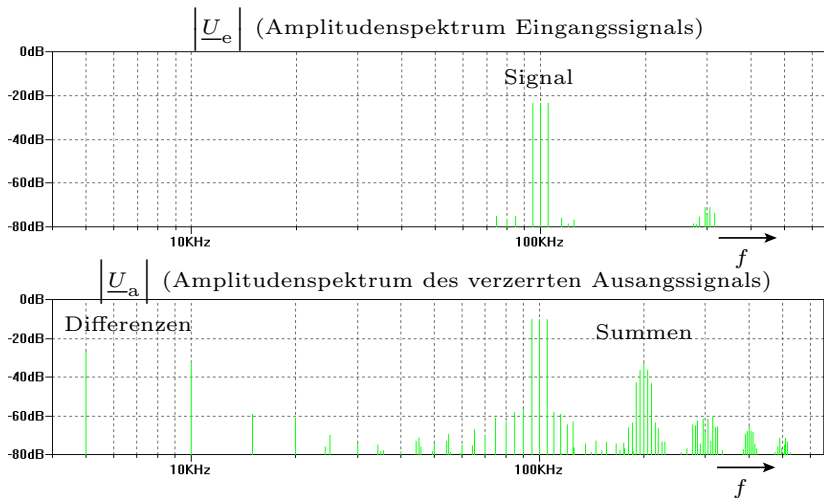
Nutzsignal aus benachbarten Frequenzen, im Beispiel 95kHz, 100kHz und 105kHz:

- Was bewirken hier Nichtlinearitäten, z.B. Quadrierung?



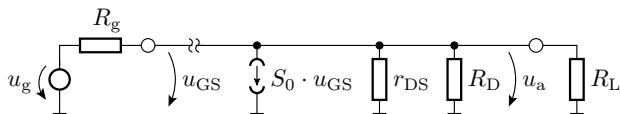
```
.tran 200µs
.option plotwinsize=0
.model nmos1 nmos(Kp=69e-6 Vto=0.75 lambda=3e-2 gamma=0.73 phi=0.76 )
```





- u_a enthält alle Summen- und Differenzfrequenzen von 95kHz, 100kHz und 105kHz: 5kHz, 10kHz, 190kHz, 195kHz, ...
- Unterdrückbar durch Bandbegrenzung.

Kleinsignalersatzschaltung



- Eingangswiderstand: ∞
- Ausgangswiderstand:

$$r_a = r_{DS} \parallel R_D$$

- Verstärkung:

$$v_U = -S \cdot r_a$$

mit der Steilheit⁴

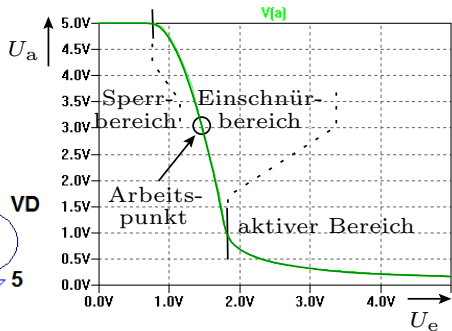
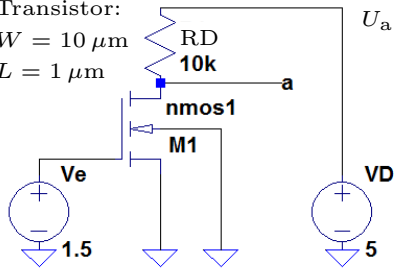
$$S = \frac{dI_D}{dU_{GS}} = \frac{d\left(\frac{K}{2} \cdot (U_{GS} - U_{th})^2\right)}{dU_{GS}} = K \cdot (U_{GS.A} - U_{th})$$

⁴Term für Kanallängenmodulation vernachlässigt.

Transistor:

$W = 10 \mu\text{m}$

$L = 1 \mu\text{m}$



```
.dc Ve 0 5 0.1
```

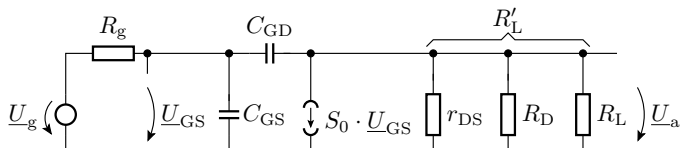
```
.model nmos1 nmos(Kp=69e-6 Vto=0.75 lambda=3e-2 gamma=0.73 phi=0.76 )
```

Simulation mit ».tf (V(a) Ve«:

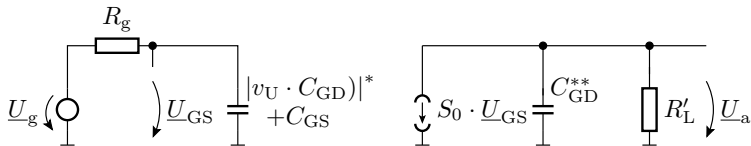
- Eingangswiderstand: ∞ (berechnet wird $10^{20} \Omega$)
- Ausgangswiderstand: $9,6 \text{ k}\Omega$ (r_{DS} fast vernachlässigbar groß)
- Verstärkung: $v_U = -4,7$. Probe $v_U = K \cdot (U_{GS,A} - U_{th}) \cdot r_a$;
 $10 \cdot 69 \frac{\mu\text{A}}{\text{V}^2} \cdot (1,5 \text{ V} - 0,67 \text{ V}) \cdot 9,6 \text{ k}\Omega = -5,1$. Abweichung vermutlich, weil Überschlag ohne Kanallängenmodulation.

Übergangsfrequenz

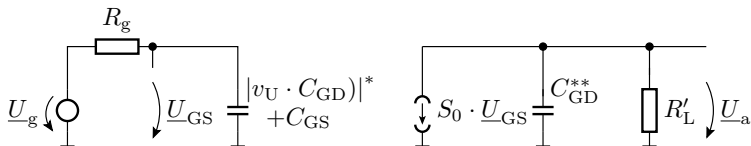
- Ergänzen von C_{GS} und C_{GD} in der Kleinsignalersatzschaltung.



- Umrechnung von C_{GD} in Kapazitäten zum Emitter:



(* exakt $1 - v_U$; ** - exakt $\frac{1-v_U}{v_U}$; d.h. Näherung für $-v_U \gg 1$)



- Gate-Source-Spannungsteiler:

$$\frac{U_{GS}}{U_g} = \frac{1}{1 + j\omega \cdot \frac{f}{f_{SS1}}} \quad \text{mit} \quad f_{SS1} = \frac{1}{2\pi \cdot R_G \cdot (C_{GS} + (1 - v_U) \cdot C_{GD})}$$

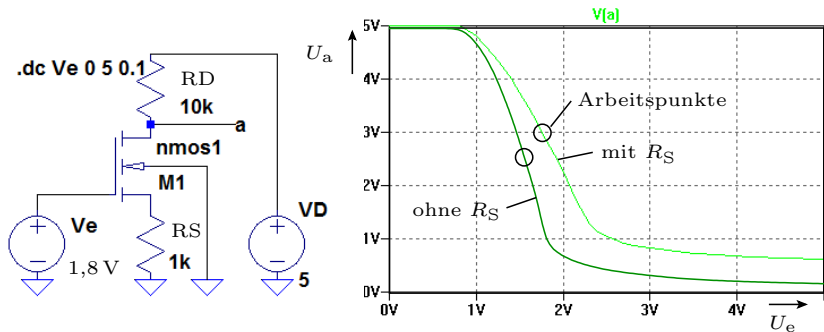
- Ausgangsspannung in Abhängigkeit vom Drainstrom:

$$\frac{U_a}{I_D} = -\frac{R'_L}{1 + j\omega \cdot \frac{f}{f_{SS2}}} \quad \text{mit} \quad f_{SS2} = \frac{1}{2\pi \cdot R'_L \cdot C_{GD}}$$

- Übertragungsfunktion:

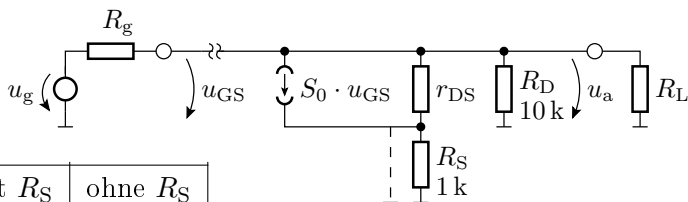
$$\frac{U_a}{U_g} = -\frac{S_0 \cdot R'_L}{\left(1 + j\omega \cdot \frac{f}{f_{SS1}}\right) \cdot \left(1 + j\omega \cdot \frac{f}{f_{SS2}}\right)}$$

Sourceschaltung mit Stromgegenkopplung



- Minderung der Verstärkung
- Minderung des Aussteuerungsbereiches
- Erhöhung der Linearität; Verringerung Klirrfaktor, hier bei 100 mV Eingangsamplitude von 2,8% auf 2,3% (nicht viel)

Transferfunktion mit und ohne Stromgegenkopplung



| | mit R_S | ohne R_S |
|-----------|----------------|----------------|
| $U_{e.A}$ | 1,8 V | 1,6 V |
| r_e | ∞ | ∞ |
| r_a | 9,7 k Ω | 9,6 k Ω |
| v_U | -3,06 | -4,73 |

Kontrollrechnungen: Die Steilheit betragt hier etwa

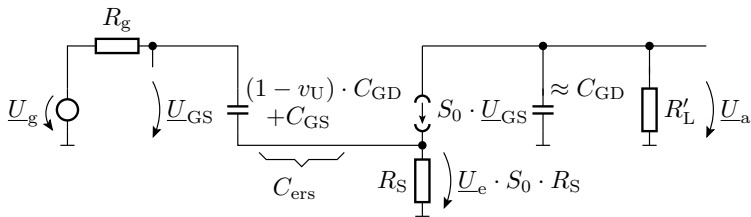
$S_0 \approx 690 \frac{\mu A}{V^2} \cdot (1,6 V - 0,75 V) = 587 \mu S$. Verstarkung ohne

Gegenkopplung $v_U \approx -S_0 \cdot r_a = -5,6$. Wo kommt die Abweichung her?

Bei Gegenkopplung Substratteilheit berucksichtigen ...

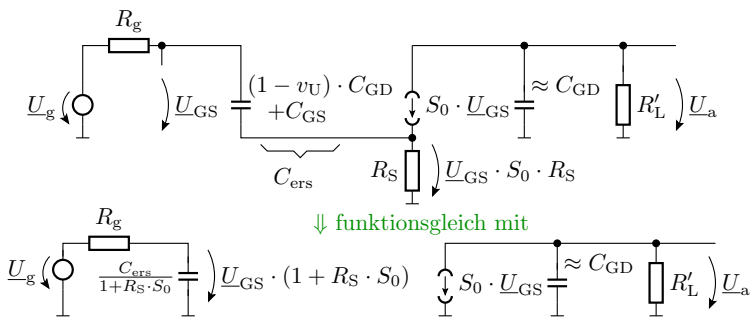
Übergangsfrequenz

- In der Ersatzschaltung C_{GS} ergänzen und C_{GD} durch äquivalente Kapazitäten zum Source nachbilden:



- Über dem Source-Widerstand R_S stellt die Stromquelle eine zu \underline{U}_{GS} proportionale Spannung ein. Mit C_{ers} zu einer skalierten Kapazität zusammenfassbar.

$$\frac{C_{ers}}{1+R_S \cdot S_0} \parallel \left. \right) \underline{U}_{GS} \cdot (1 + R_S \cdot S_0)$$



- Die gate-seitige Knickfrequenz erhöht sich um den Skalierungsfaktor:

$$f_{\text{SIK1}} = f_{\text{SS1}} \cdot (1 + R_S \cdot S_0) = \frac{1 + R_S \cdot S_0}{2\pi \cdot R_G \cdot (C_{\text{GS}} + (1 - v_U) \cdot C_{\text{GD}})}$$

- Die drain-seitige Knickfrequenz bleibt unverändert:

$$f_{\text{SIK2}} = f_{\text{SS2}}$$

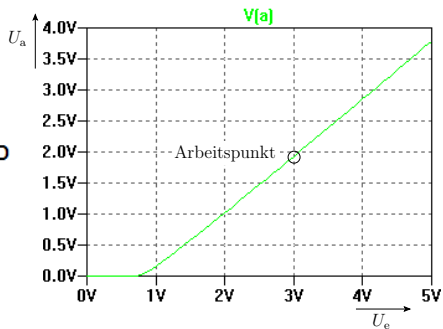
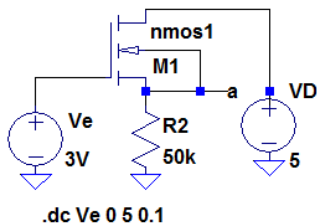


Drainschaltung

Übertragungsfunktion

- Für $U_{th} < U_e < U_V + U_{th}$ Einschnürrbereich. Variante 1:
Verbindung des Substrats mit Source ($U_{BS} = 0$):

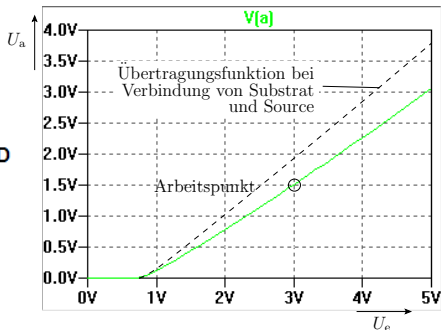
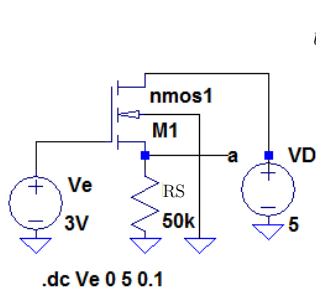
$$U_e = U_a + U_{GS} = U_a + \sqrt{\frac{2 \cdot I_D}{K}} + U_{th}$$



$$v_U = 0,92, r_a = 3,8 \text{ k}\Omega$$

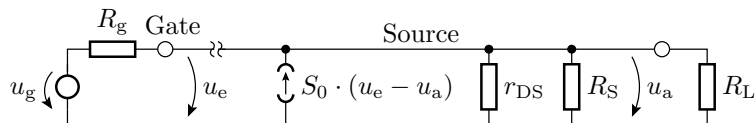
- Variante 2: Verbindung Substrat mit Masse ($U_{BS} = -U_a$):

$$U_e = U_a + U_{GS} = U_a + \sqrt{\frac{2 \cdot I_D}{K}} + U_{th,0} + \gamma \cdot \left(\sqrt{U_{inv} + U_a} - \sqrt{U_{inv}} \right)$$



- Kleinsignalparameter mit ».tf V(a) Ve«: $v_U = 0,75$, $r_a = 3,5 \text{ k}\Omega$
- Substratsteuerfaktor senkt die Verstärkung
- Ausgangswiderstand $\ll R_S$

Kleinsignalverhalten



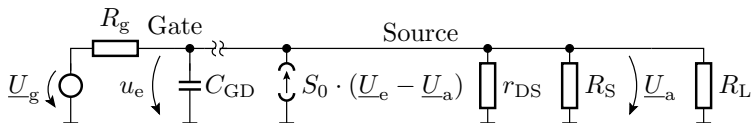
- Der Stromanteil $-S_0 \cdot u_a$ der Quelle wirkt Eingangsspannungsänderungen entgegen. Regelung. Schwingungsgefahr bei zu hoher Steilheit?
- Ausgangswiderstand r_a geringer als $R_S \parallel r_{DS}$.
- Für große Steilheiten strebt v_U gegen eins.

Substrat mit Source verbunden: $v_U = 0,92$, $r_a = 3,8 \text{ k}\Omega$

Substrat mit Masse verbunden: $v_U = 0,75$, $r_a = 3,5 \text{ k}\Omega$

Übergangsfrequenz

- Am Eingang liegt die Gate-Drain-Kapazität. Die Gate-Source-Kapazität liegt zwischen Ein- und Ausgang und ist wegen $u_a \approx u_e$ vernachlässigbar:



- Übergangsfrequenz der Spannungsverstärkung:

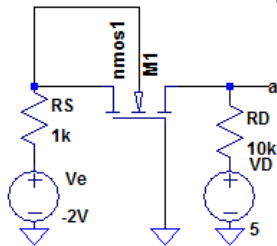
$$f_{V0} \approx \frac{1}{2\pi \cdot R_g \cdot C_{GD}}$$

- Für eine hohe Grenzfrequenz mehrere Drainschaltungen verketteten. Erst eine mit sehr kleiner Transistorbreite (kleinem C_{GD} und S_0), dann mit zunehmend größerer ...



Gateschaltung

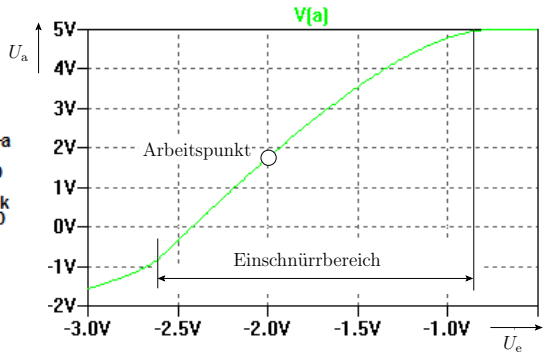
Übertragungsfunktion



.dc Ve -3V -0.5V 0.01V

W=1μm, L=30μm

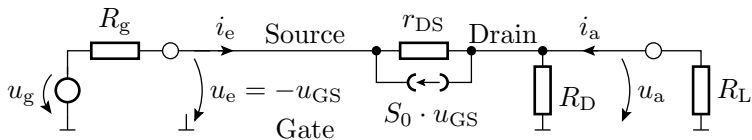
.model nmos1 nmos(Kp=69e-6 Vto=0.75 lambda=3e-2 gamma=0.73 phi=0.76)



- Steigende Eingangsspannung mindert U_{GS} , damit auch I_D , den Spannungsabfall über R_D und erhöht U_a .
- Bei sehr hoher Steilheit bleibt U_{GS} nahezu konstant.
Verstärkung $v_U = \frac{R_D}{R_S}$. Wäre hier 10. Die Verstärkung im Arbeitspunkt ist aber nur vier.

Kleinsignalverhalten

Ersatz des Transistors durch eine im Arbeitspunkt linearisierte spannungsgesteuerte Stromquelle und r_{DS} .



- Eingangswiderstand:

$$r_e = \left. \frac{d u_e}{d i_e} \right|_{i_e=0} \approx \frac{R_D + r_{DS}}{1 - S \cdot r_{DS}}$$

- Verstärkung:

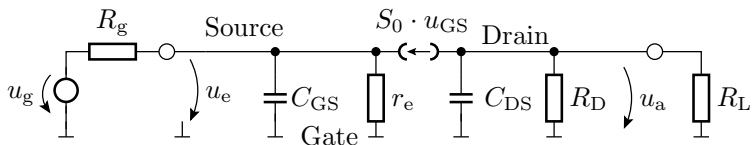
$$v_U = \left. \frac{d u_a}{d u_e} \right|_{i_a=0} \approx S \cdot R_D$$

- Ausgangswiderstand:

$$r_e = \frac{d u_a}{d i_a} \approx R_D$$

Übergangsfrequenz

Die Gate-Source- und die Drain-Source-Kapazität liegen zwischen Ein- bzw. Ausgang und Masse. r_{DS} lässt sich durch r_e nachbilden, der zur Abschätzung der Zeitkonstante parallel zu R_g wirkt.



Für $C_{GS} \approx C_{DS}$ und $R_D \gg R_g \parallel r_e$ hat die Drainseite die größere Zeitkonstante:

$$C_{GS} \cdot R_g \parallel r_e \ll C_{DS} \cdot R_D$$

und bestimmt die untere Grenzfrequenz:

$$f_{GS0} \approx \frac{1}{2\pi \cdot C_{DS} \cdot R_D}$$



Aufgaben



Aufgaben

- Begründen Sie anhand der Übertragungskennlinie einer Source-Schaltung, warum nur der Kennlinienbereich, in dem der Transistor im Einschnürrbereich arbeitet, von Verstärkern genutzt wird.
(Beim Übergang in den Sperrbereich und in den aktiven Bereich nimmt die Verstärkung drastisch ab.)
- Bestimmen Sie für eine xxx-Schaltung den Eingangswiderstand, Ausgangswiderstand oder die Verstärkung.

Kaskadierte Drainschaltung

- In der nachfolgenden Schaltung (2x Drainschaltung) seien die Kanallängen der Transistoren jeweils $1\mu\text{m}$. Der Steilheitsparameter je μm Transistorbreite sei $70 \frac{\mu\text{A}}{\text{V}^2 \cdot \mu\text{m}}$ und die Gate-Source-Kapazität je μm Transistorbreite $1 \frac{\text{fF}}{\mu\text{m}}$.
- Wie ist die Transistorbreite von T2 zu wählen, damit die Gesamtschaltung einen Ausgangswiderstand von 100Ω hat?
- Welche Eingangskapazität resultiert daraus für T2.
- Wie ist die Transistorbreite von T1 zu wählen, damit beide RC-Glieder in der Ersatzschaltung dieselbe Übergangsfrequenz haben? (Für die Lösung fehlen Formeln in den Folien!)



Granzfrequenz Gateschaltung

- Wie ändert sich die Steilheit mit dem Drainstrom.
- In der nachfolgenden Schaltung nimmt der Steilheitsparameter und die Drain-Source-Kapazität proportional mit der Transistorbreite zu. Wie ändert sich das Verstärkungs-Bandbreiteprodukt mit der Transistorbreite?