

Aufgabe: Stapelspeicher und Warteschlange

G. Kemnitz*, TU Clausthal, Institut für Informatik

19. Juli 2007

Zusammenfassung

Vorgegeben ist die VHDL-Beschreibung eines Stapelspeichers. Zu entwerfen ist eine Warteschlange mit derselben Schnittstelle und Speichertiefe.

1 Funktion

Ein Stapelspeicher (engl. Stack) ist nach dem LIFO-Prinzip organisiert (LIFO – last in first out). Er besteht aus einer Speichermatrix und einem Zeiger. Zu Beginn zeigt der Zeiger auf den ersten Speicherplatz. Bei jedem Schreibzugriff werden die abgelegten Daten auf diesen Speicherplatz geschrieben und der Zeiger um Eins erhöht. Der Lesevorgang ist genau umgekehrt. Der Zeiger wird um Eins verringert und der Wert gelesen.

Der vorgegebene Stapelspeicher besitzt folgende Schnittstelle:

```
PORT( Takt: IN std_logic;
      put:  IN std_logic;      -- Daten ablegen
      get:  IN std_logic;      -- Daten entnehmen
      full: OUT std_logic;     -- Stapel voll
      empty: OUT std_logic;    -- Stapel leer
      Din:  IN std_logic_vector(3 DOWNTO 0); -- Eingabedaten
      Dout: OUT std_logic_vector(3 DOWNTO 0)); -- Ausgabedaten
```

Um Daten auf den Stapel zu legen, wird mit der aktiven Taktflanke `put='1'` gesetzt und die Daten auf `Din` gelegt. Bei `get='1'` werden Daten vom Stapel genommen und auf `Dout` ausgegeben. Das Ausgabesignal "full" ist Eins, wenn der Stapelspeicher voll ist, und das Ausgabesignal "empty" ist Eins, wenn der Stapelspeicher leer ist.

Eine Warteschlange ist nach dem FIFO-Prinzip organisiert (FIFO – first in first out). Sie wird in Hardware durch einen RAM mit zwei Adressregistern realisiert. Der Schreibzeiger zeigt auf den ersten freien Platz, der Lesezeiger auf den ältesten Dateneintrag. Nach jedem Schreibzugriff wird der Schreibzeiger um Eins erhöht und nach jedem Lesezugriff der Lesezeiger. Das Wechselschalten der Zeiger erfolgt modulo(Speichergröße), d.h. nach dem letzten Speicherplatz schalten die Zeiger zum ersten Speicherplatz. Der Schreibzeiger darf dabei den Lesezeiger nicht überholen und der Lesezeiger nicht den Schreibzeiger.

Aufgaben zur Vorbereitung:

1. Die Datei `Stack_Test.vhd` ist eine reine Strukturbeschreibung. Zeichnen Sie den Signalflussplan.
2. Wie (mit welchen Tasten/Schaltern) werden Daten auf den Stack gelegt und vom Stack entnommen?

*Tel. 05323/727116

3. Wie sind die Sonderbehandlungen gelöst für
 - (a) Schreibzugriff, wenn der Stack voll ist
 - (b) Lesezugriff, wenn der Stack leer ist
 - (c) zeitgleicher Lese- und Schreibzugriff?

2 Schaltung für Stapelspeicher ausprobieren

Kopieren Sie sich die Dateien

- Handtakt.vhd
- Praktikum.ucf
- Stack.vhd
- Test_Stack.vhd

in ein Unterverzeichnis Stack. Legen Sie ein neues Projekt an. Hinzufügen der vorgegebenen Dateien. Übersetzen des Projekts. Testen der Schaltung.

3 Entwurf einer Warteschlange

Entwerfen Sie in VHDL eine Schaltung für eine Warteschlange mit derselben Schnittstelle und Speichertiefe wie Stack.vhd. Benutzen Sie den vorgegebenen Testrahmen Stack_Test.vhd.

4 Aufräumen

- Über Menüpunkt "Project, Cleanup Project Files" automatisch generierte Design-Files löschen.
- Netzteil zur Spannungsversorgung aus der Steckdose ziehen.
- Modelsim und Projektnavigator beenden.