

Aufgabe 5: Zahlenschloss

G. Kemnitz*, TU Clausthal, Institut für Informatik

8. Juni 2011

Für ein verbal beschriebene Zielfunktion eines Zahlenschlosses ist ein Ablaufgraph zu entwerfen. Der Ablaufgraph ist in VHDL zu beschreiben, zu simulieren, in eine Gesamtschaltung einzubetten, in den programmierbaren Logikschaltkreis zu laden und zu testen.

1 Funktionsbeschreibung und Simulation

Die in diesem Abschnitt zu entwerfende Schaltung soll einen Takt, acht Schaltereingänge für die Zifferneingabe, einen Tasteneingang für das Rücksetzsignal, vier Leuchtdiodenausgänge für die Visualisierung der als nächstes einzugebenden Ziffer, einen Leuchtdiodenausgang zur Signalisierung der korrekten Eingabe und einen Leuchtdiodenausgang für das Fehlersignal haben:

```
entity ZS_Automat is
  port(Takt: in STD_LOGIC;
        sw: in STD_LOGIC_VECTOR(7 downto 0);
        Init: in STD_LOGIC;
        led_Z: out STD_LOGIC_VECTOR(3 downto 0); -- Zustandsanzeige
        led_F, led_A: out STD_LOGIC);          -- Anzeige für Fehler und akzeptiert
end entity;
```

Bei Betätigung der Rücksetztaste soll der Automat in den Anfangszustand versetzt werden, in dem er auf die Eingabe der ersten Ziffer wartet. Die Ziffern sind durch Einschalten und anschließendes Ausschalten des jeweiligen Schalters einzugeben. Der Automat soll für jede Ziffer prüfen, ob sie richtig ist und ob danach wieder alle Schalter ausgeschaltet werden. Beim Ausschalten soll die Zustandsanzeige eins weiterschalten. Die vier richtigen Ziffern sind als 8-Bit-Konstanten zu vereinbaren. Nach Eingabe der richtigen Ziffernfolge soll die Leuchtdiode »led_A« und nach Eingabe einer falschen vier Ziffern langen Folge die Leuchtdiode »led_F« leuchten. Die beiden Endzustände, in denen »led_A« oder »led_F« leuchten, sollen nur bei Betätigung der Rücksetztaste verlassen werden. Während der Betätigung der Rücksetztaste sollen alle Zustandsleuchtdioden aus sein. Auf das gleichzeitige Einschalten von mehreren Schaltern soll die Schaltung wie auf die Betätigung eines falschen Schalters reagieren.

1. Zeichnen Sie den Automatengraphen auf dem Abgabeblatt.
2. Beschreiben Sie die Funktion mit einem VHDL-Abtastprozess.
3. Entwickeln Sie einen Testrahmen für die Simulation, der das Schaltungsmodell mit den Testeingaben aus Abbildung 1 testet und führen Sie die Simulation durch.
4. Ergänzen Sie im Eingangesignalverlauf ein Testbeispiel, in dem temporär zwei Schalter gleichzeitig betätigt werden, um nachzuweisen, dass ihr Schaltungsentwurf solche Eingabefolgen nicht alls korrekt interpretiert.

*Tel. 05323/727116

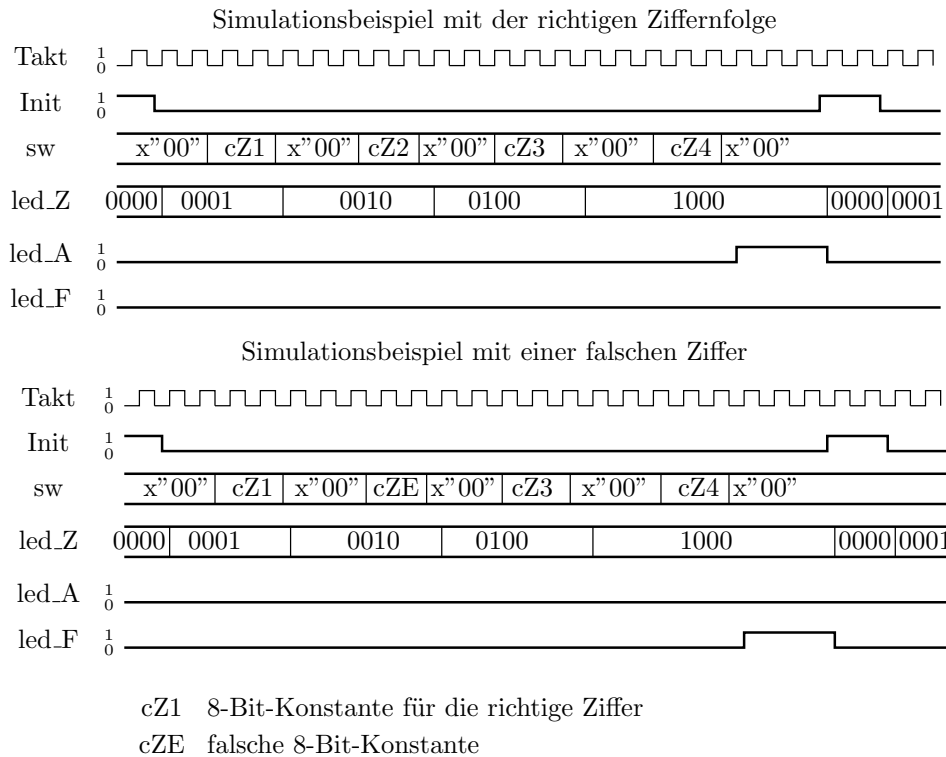


Abbildung 1: Beispielsignalverläufe

2 Gesamtschaltung und Test

Der entworfene Automat aus dem Vorabschnitt ist in die Gesamtschaltung in Abbildung 2 einzubetten. Zur Entprellung ist der Eingabetakt auf etwa 50 Hz zu reduzieren. Die Schalter und das Tastensignal sind vor ihrer internen Verwendung mit diesem Takt abzutasten. Die angegebenen Gehäuseanschlüsse für die Leuchtdiodenausgänge verlangen, dass die Ansteckbaugruppe mit den zusätzlichen Leuchtdioden für das Zahlenschloss an Steckverbinder B1 der Versuchsbaugruppe angesteckt wird.

1. Entwickeln Sie eine VHDL-Beschreibung für die Gesamtschaltung mit der Zahlenschlossbeschreibung aus dem Vorabschnitt als Instanz.
2. Programmieren Sie den Schaltkreis auf der Versuchsbaugruppe und Testen Sie die Schaltung.

3 Abnahmekriterien

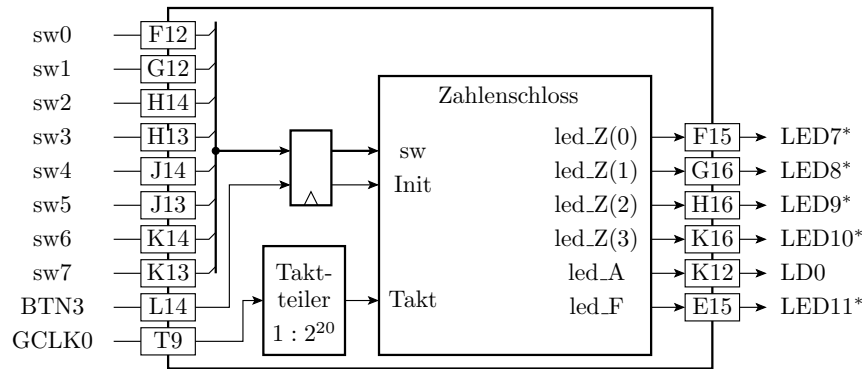
zu Abschnitt 1:

A1.1 Automatengraph auf dem Abgabebblatt

A1.3 vorführbares Simulationsergebnis ähnlich dem in Abbildung 1

A1.4 Vorführbares Eingangssignalbeispiel, in dem temporär zwei Schalter gleichzeitig betätigt werden.

zu Abschnitt 2:



* Baugruppe "Ampelsteuerung/Zahlenschloss" am Stecker B1

Abbildung 2: Gesamtschaltung

A2.1 vorführbare Schaltung