

Aufgabe 3: Asynchrone Eingaben

G. Kemnitz*, TU Clausthal, Institut für Informatik

8. Mai 2012

Asynchrone Eingangesignale, auf der Versuchsbaugruppe die Signale der Schalter und Taster, müssen vor ihrer internen Verarbeitung mit einer Taktperiode, die größer ist als die Prelldauer, abgetastet werden (vergl. [1], Abschn. 1.5). Die nachfolgenden Aufgaben führen schrittweise an den Entwurf einer sequentiellen Schaltung mit asynchronen Tasten- und Schaltereingaben.

1 Untersuchung des Schalterprellverhaltens mit dem Logikanalysator

Programmieren Sie den FPGA so, dass der Schaltereingang SW0 auf der Versuchsbaugruppe durch den FPGA mit der Leuchtdiode LD0 und dem Steckeranschluss 5 von A2 (LOC D5) verbunden ist (Abb. 1 a). Schließen Sie den USB-Logikanalysator wie in Abb. 1 b an und bestimmen Sie mehrere Male den Signalverlauf am Ausgang y (Logikanalysatoreinstellungen 1.500.000, Trigger erste steigende Flanke auf y). Wie groß ist die zu beobachtende maximale Prelldauer? Um welche Zweierpotenz ist der 50MHz-Takt zur Abtastung des Schaltersignals zu teilen?

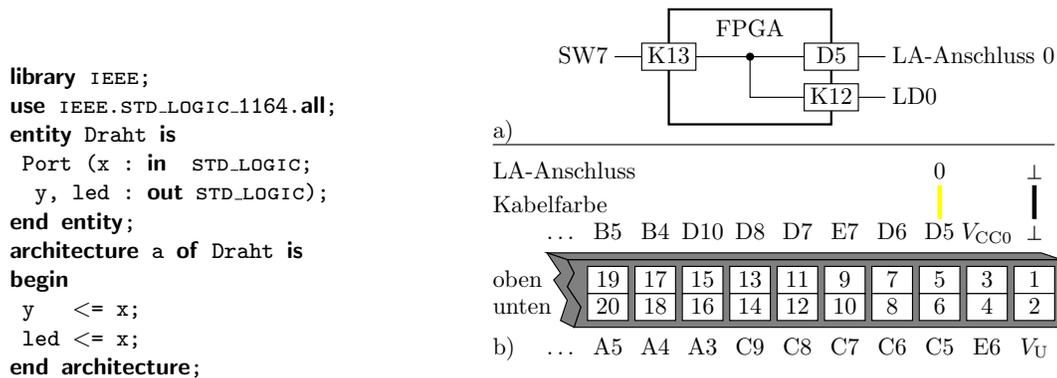


Abbildung 1: a) Schaltung zu Aufgabe 1 b) Anschluss des Logikanalysators an den Erweiterungsstecker A2

2 Zählen der Signalwechsel beim Prellen

Für diesen Versuch ist die sequentielle Schaltung in Abb. 2 a in VHDL zu beschreiben und in den FPGA zu laden. Das Schaltersignal wird zweimal abgetastet. Wenn sich beide Werte unterscheiden wird der Registerzustand um eins erhöht und sonst beibehalten. Der Zählerzustand wird auf die Leuchtdioden ausgegeben. Die Schaltungsbeschreibung besteht aus einem Abtastprozess

*Tel. 05323/727116

mit dem Takt in der Weckliste, in dem bei jeder steigenden Taktflanke die Schalterdaten in den Abtastregistern weitergereicht und bei ungleichen Abtastsignalen der Zählwert erhöht wird. Für die Bereitstellung des Plus-Operators soll das Package »IEEE.STD_LOGIC_UNSIGNED«, das ISE bereitstellt, genutzt werden. Der Takt »Clk« ist dabei der normale 50MHz-Takt.

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.STD_LOGIC_UNSIGNED.all;
entity Test_Ct is
  port (Clk, SW7: in  STD_LOGIC;
        LD : out  STD_LOGIC_vector(7 downto 0));
end entity;
architecture a of Test_Ct is
  signal SW7_de1, SW7_de12: STD_LOGIC;
  signal s: STD_LOGIC_VECTOR(7 downto 0);
begin
  process (Clk)
  begin
    if RISING_EDGE(Clk) then
      SW7_de1 <= SW7;
      SW7_de12 <= SW7_de1;
      if SW7_de1 /= SW7_de12 then
        s <= s + 1;
      end if;
    end if;
  end process;
  LD <= s;
end architecture;

```

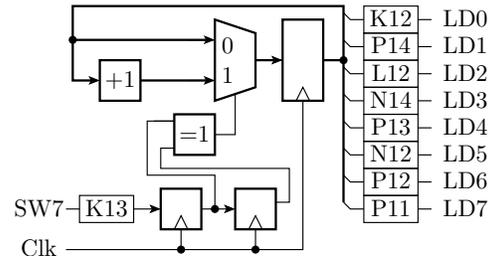


Abbildung 2: a) Schaltung zu Aufgabe 2 b) Beispielprogramm

3 Takteiler

Wie viele Bit muss ein Takteiler zur Erzeugung eines Taktes von ungefähr einem Hertz haben. Beschreiben Sie in VHDL unter Nutzung der Beschreibungsschablone der Voraufgabe einen 24-Bit-Takteiler, dessen acht höchstwertigen Taktausgänge auf Leuchtdioden und dessen 16 niederwertigen Bits zum Anschluss des Logikanalysators auf den Erweiterungsstecker A2 geführt sind (Abb. 3).

- Prüfen Sie anhand der optischen Anzeige, ob Sie die richtige Bitposition für den Abgriff des 1-Hertz-Taktes bestimmt haben.
- Lassen Sie sich mit den Logikanalysator die Zählerwerte ab dem Startwert 0xa3 aufzeichnen. Dazu ist eine passende xml-Datei zu schreiben.

4 Lichteffektschaltung

Entwerfen Sie eine beliebige Lichteffektschaltung mit Schaltern als Eingänge und den acht Leuchtdioden als Ausgänge. Der Abtastprozess für die Schalter soll mit dem in Aufgabe 1 bestimmten Takt arbeiten und der Prozess zum Weiterstellen der Leuchtdiodenausgaben mit einer Taktfrequenz von ungefähr einem Hertz. Das Beispiel könnte ein zirkular wandernder Leuchtpunkt sein, der beim Einschalten (steigende Flanke) von Schalter SW0 auf Vorwärtsbewegung und beim Einschalten von Schalter SW1 auf Rückwärtsbewegung umschaltet. Wichtig ist, dass die Schaltung

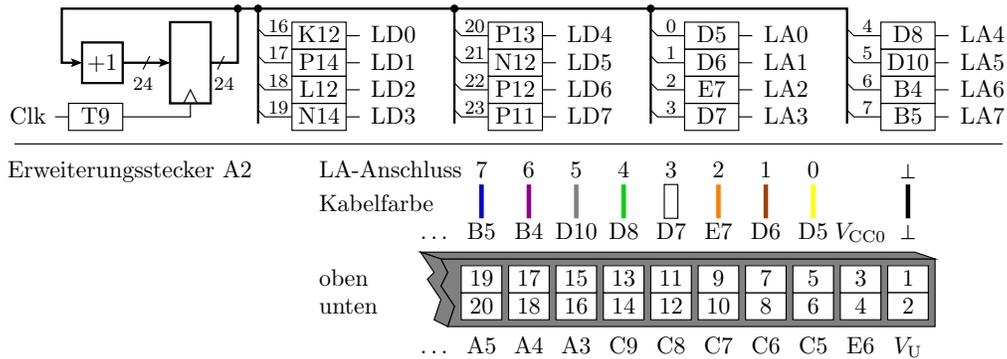


Abbildung 3: Taktteilerschaltung

die Schaltvorgänge sofort, und nicht erst mit der nächsten Flanke des 1-Hertz-Taktes registrieren soll.

5 Abnahmekriterien

zu Abschnitt 1:

- ein Bildschirmfoto der Aufzeichnung des Logikanalysators
- Schätzwert für die Prelldauer
- eine sinnvolle Abschätzung der Abtastfrequenz für die Entprellung

zu Abschnitt 2:

- ein Schätzwert für die mittlere Prellzahl je Schalterbetätigung.

zu Abschnitt 3:

- Indexwert für den Abgriff des 1-Hertz-Taktes
- Bildschirmfoto der Aufzeichnung der Logikanalysators

zu Abschnitt 4:

- eine funktionierende, vorführbare Lichteffektschaltung

Literatur

[1] G. Kemnitz. *Technische Informatik Band 2: Entwurf digitaler Schaltungen*. Springer, 2011.