

Aufgabe 4: 7-Segmentanzeige

G. Kemnitz, C. Giesemann, TU Clausthal, Institut für Informatik

17. Juni 2015

Die Versuchsbaugruppe hat eine 4-stellige 7-Segment-Anzeige mit verbundenen Kathodensignalen und gemeinsamer Anode je Ziffer, so dass zu jedem Zeitpunkt nur eine Ziffer angezeigt werden kann. Zur Visualisierung von mehreren Ziffern sind die Ziffern multiplex, d.h. zyklisch schnell nacheinander, auszugeben. In dem Praktikumsversuch wird schrittweise eine solche Anzeigeschaltung, bei der die darzustellenden Werte mit Tasten eingestellt werden, entwickelt.

1 Test der 7-Segmentanzeige

Die 7-Segmentanzeige auf der Versuchsbaugruppe hat vier Ziffern. Die Kathodensignale aller Segment *a* bis *g* und *dp* sind zur Einsparung von Leitungen miteinander verbunden. Die vier Anodensignale »AN0« bis »AN3« jeder Ziffer sind einzeln herausgeführt und werden auf der Baugruppe außerhalb des FPGAs mit einem Transistor invertiert (Abb. 1). Damit ein Anzeigeelement leuchtet, muss das zugehörige Kathodensignal, d.h. *a*, *b*, ... oder *dp* auf null und das zugehörige Anodensignal, d.h. »AN0«, »AN1«, ... oder »AN3«, auch auf null gesetzt werden.

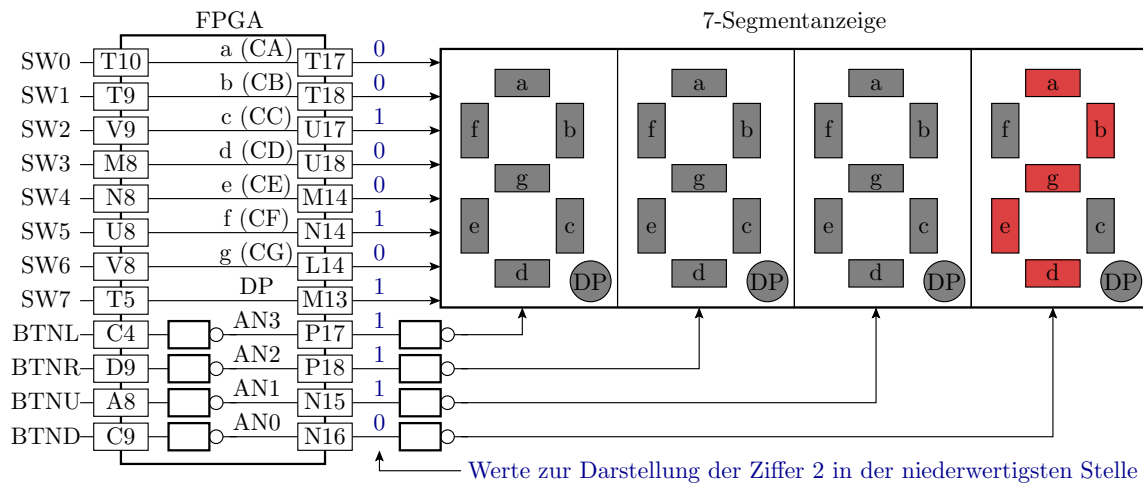


Abbildung 1: Test der 7-Segmentanzeige

Im ersten Experiment sollen wie in Abbildung 1 die Kathodensignale mit den Schalter und die Anodensignale mit den Tasten und Invertoren erzeugt werden. Entwerfen Sie dazu eine entsprechende Entwurfseinheit mit der Schnittstelle

```
entity Test1_Seg7 is
  port(sw: in STD_LOGIC_VECTOR(7 downto 0);
        btn: in STD_LOGIC_VECTOR(3 downto 0);
        a, b, c, d, e, f, g, dp, AN0, AN1, AN2, AN3: out STD_LOGIC);
end entity;
```

und die zugehörige ucf-Datei. Programmieren Sie die Schaltung in die Baugruppe und testen Sie sie. Füllen Sie auf dem Abgabebblatt die Wertetabelle für den 7-Segmentdecoder mit der Funktion in Abbildung 2 aus und testen Sie sie mit der einprogrammierten Schaltung.

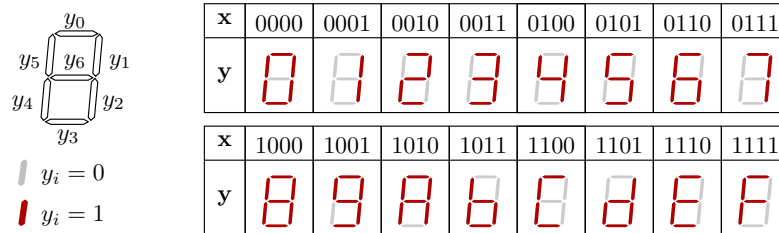


Abbildung 2: Funktion des 7-Segmentdecoders

2 Entwurf des 7-Segmentdecoders

Entwerfen Sie einen 7-Segmentdecoder als Package-Funktion:

```

library ieee;
use ieee.std_logic_1164.all;
package Seg7_pack is
  function DecSeg7(x: STD_LOGIC_VECTOR(3 downto 0)) return STD_LOGIC_VECTOR;
end package;
package body Seg7_pack is
  function DecSeg7(x: STD_LOGIC_VECTOR(3 downto 0)) return STD_LOGIC_VECTOR is
    variable y: STD_LOGIC_VECTOR(6 downto 0);
  begin
    <zu ergänzende Funktionsbeschreibung>
    return y;
  end function;
end package body;

```

Testen sie die Package-Funktion durch Simulation in einem Testrahmen, der die Funktion nacheinander mit allen Kombinationen der Eingabe aufruft und die Ausgaben auf dem Bildschirm ausgibt:

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.NUMERIC_STD.all;
use work.Seg7_pack.DecSeg7;
library Tuc;
use Tuc.Ausgabe.all;
entity TestDecSeg7 is end entity;
architecture a of TestDecSeg7 is
begin
  process
    variable x: STD_LOGIC_VECTOR(3 downto 0);
    variable y: STD_LOGIC_VECTOR(6 downto 0);
  begin
    for i in 0 to 15 loop
      x := STD_LOGIC_VECTOR(to_unsigned(i, 4));
      y := DecSeg7(x);
      write("x=" & str(x) & " y=" & str(y));
      x := x+1;
    end loop;
  end process;
end architecture;

```

```

wait;
end process;
end architecture;

```

Testen Sie die Funktionsbeschreibung des 7-Segmentdecoders, indem Sie ihn wie in Abbildung 3 in die Schaltung des FPGAs einbinden.

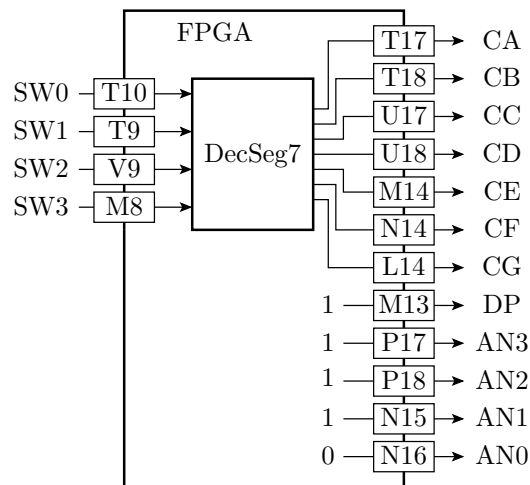


Abbildung 3: Testschaltung für den 7-Segmentdecoder

Hinweise zur Erzeugung der Bibliothek TUC mit dem Package »Ausgabe.vhd«.:

- Mit »New Source« eine »VHDL-Library« mit dem Namen »TUC« erzeugen.
- Die Datei »Ausgabe.vhd« von der Web-Seite in das Projektverzeichnis laden, mit »Add Source« als »VHDL-Package« einbinden und wie in Abb. 4 in die Bibliothek TUC verschieben.

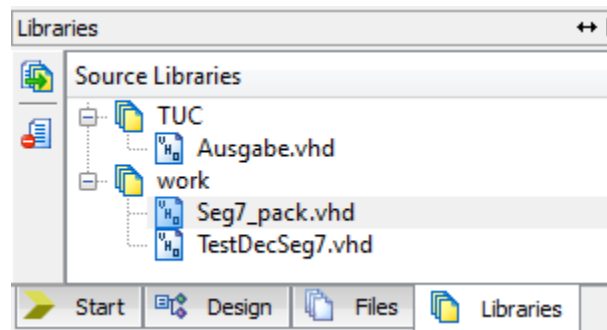


Abbildung 4: Testschaltung für den 7-Segmentdecoder

3 Multiplex-Anzeige

Zu jedem Zeitpunkt lassen sich nur die Anzeigewerte für eine Ziffer ausgeben. Um vier Ziffern darstellen zu können, müssen diese zyklisch immer nacheinander angezeigt werden. In der Schaltung in Abbildung 5 wird der 100 MHz-Eingabetakt am Anschluss »V10« mit einem Taktteiler durch $2^{11} = 2048$ geteilt. Ein Taktteiler wurde bereits im vorherigen Praktikumsversuch benutzt.

Er wird durch einen Prozess mit dem 100 MHz-Takt in der Weckliste beschrieben, in dem bei jeder aktiven Taktflanke ein Zähler weiterzählt und beim Zählerüberlauf der Ausgabetakt invertiert wird. Der heruntergeteilte Takt dient als Abtasttakt für einen Prozess, der den 4-Bitvektor für die Anodenansteuerung der 7-Segment-Anzeige erzeugt. Der Rest der Schaltung, ein Multiplexer und der 7-Segmentdecoder, soll zusammen in einem kombinatorischen Prozess beschrieben werden. Bei Auswahl der beiden linken Anzeigeelemente soll der Multiplexer die beiden Konstanten für die Darstellung der Zeichen »E« und »A« und für die beiden rechten Ziffern die mit den Schaltern einstellbaren Werte an den 7-Segmentdecoder weiterleiten, der daraus die Kathodensignale »CA« bis »CG« bildet. Kombinatorischer Prozess heißt, dass alle Eingabesignale, hier die Signale von den Schaltern und die Anodensignale, in der Weckliste stehen müssen.

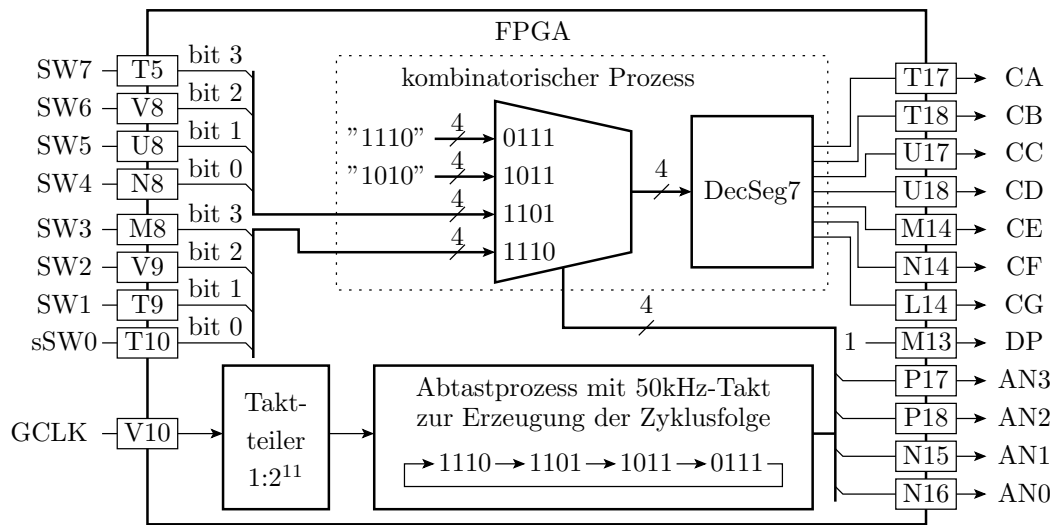


Abbildung 5: Schaltung der Multiplex-Anzeige

4 Über Tasten einstellbare Ausgabewerte

In der als nächstes zu entwerfenden Schaltung sollen die vier 4-Bitvektoren mit den Anzeigewerten von Zählern geliefert werden. Und zwar soll jeder Ziffer ein 4-Bit-Zähler zugeordnet werden, der bei Betätigung einer Taste zirkular eins weiterzählt. Die Schaltungslösung für den einzelnen Eingabezähler lehnt sich an die des Vorversuchs an. Sie muss zur Entprellung mit einem Takt von ungefähr 50 Hz arbeiten. Das Tastensignal ist zweimal abzutasten. Das Signal »Taste gedrückt« ist die Unverknüpfung des einmal abgetasteten mit dem negierten doppelt abgetasteten Signal. Wenn es »1« ist, soll der Zählwert um »1« erhöht werden und sonst seinen Wert beibehalten. Die Schaltung in Abbildung 6 für einen einzelnen Eingabezähler soll als eigenständig simulierbare Entwurfseinheit beschrieben und mit den Eingaben auf dem Abgabebblatt simuliert werden. Zeichnen Sie im Anschluss das Simulationsergebnis auf das Abgabebblatt ein.

Als nächstes sollen vier Instanzen des Eingabezählers aus Abbildung 6 in die bisherige Multiplex-Anzeige aus Abbildung 5 zur Eingabe der vier Anzeigezifferen eingebaut werden. Abbildung 7 zeigt die Gesamtschaltung, die zu entwerfen, in den Schaltkreis zu programmieren, zu testen und vorzuführen ist.¹

¹Achtung, heben Sie auch die Dateien zum Ausprobieren der Schaltungen aus den Abbildungen 1, 3 und 5 auf, um sie auf Wunsch des Betreuers bei der Abnahme vorführen zu können.

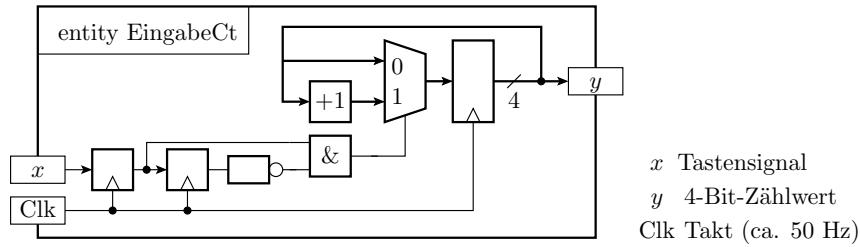


Abbildung 6: Zählerbaustein zur Einstellung eines 4-Bit-Anzeigewertes mit einer Taste

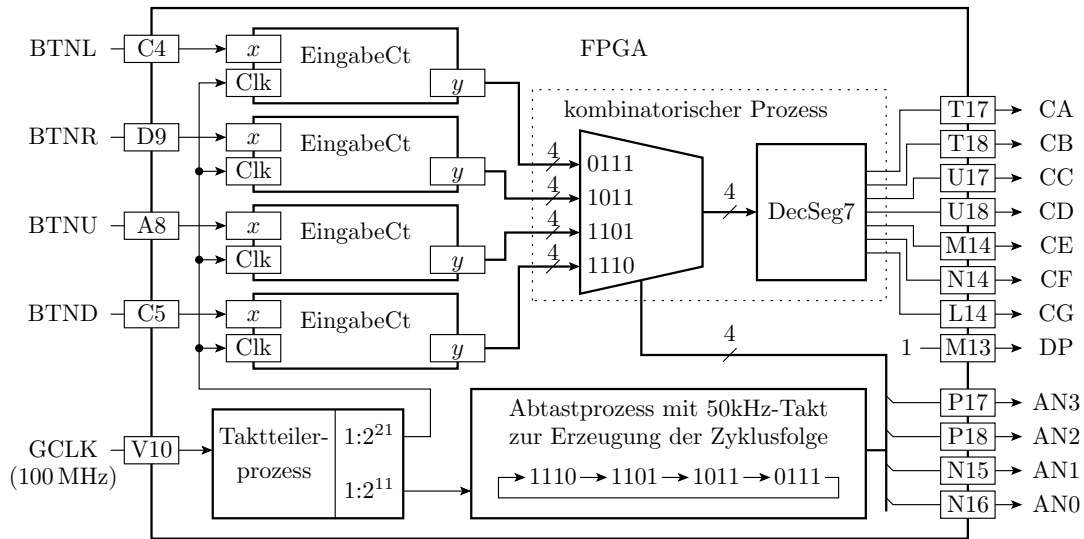


Abbildung 7: Multiplex-Anzeige mit Zählerbausteinen zur Einstellung der Anzeigewerte

5 Abnahmekriterien

zu Abschnitt 1:

A1.1 vorführbare Schaltungsbeschreibung zu Abbildung 1

A1.2 ausgefüllte Wertetabelle auf dem Abgabebblatt

zu Abschnitt 2:

A2.1 vorführbare Simulation

A2.2 vorführbare Schaltungsbeschreibung zu Abbildung 3

zu Abschnitt 3:

A3.1 vorführbare Schaltungsbeschreibung zu Abbildung 5

zu Abschnitt 4:

A4.1 Simulationsergebnisse auf dem Abgabebblatt

A4.2 vorführbare Schaltungsbeschreibung zu Abbildung 7