

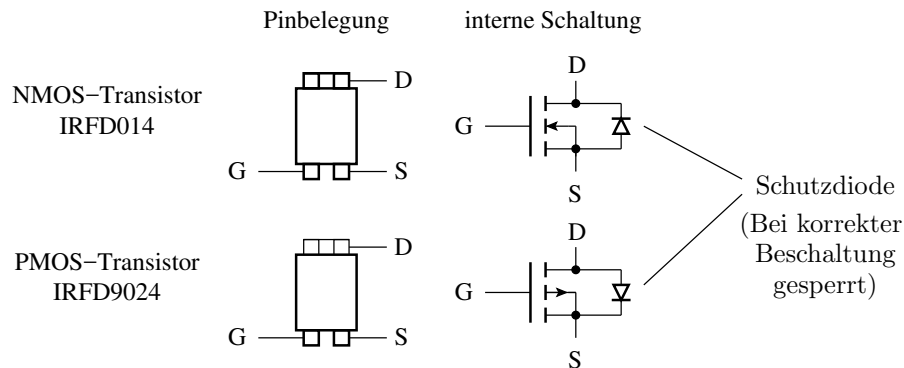
Praktikum Elektronik I

5. Übung: MOS-Transistoren als Schalter

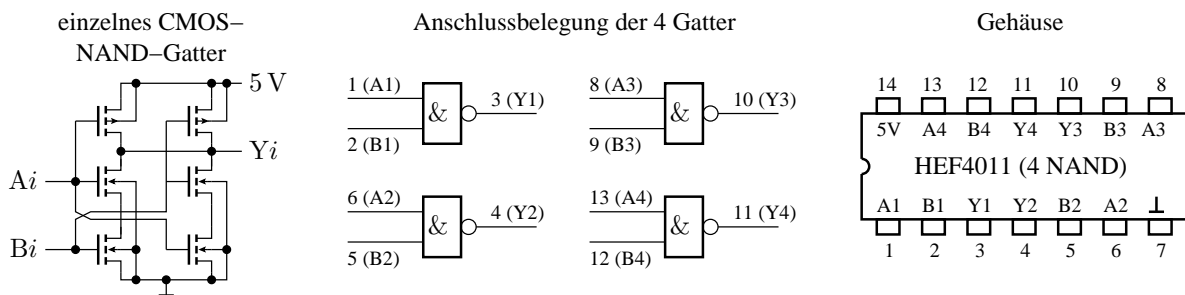
Prof. G. Kemnitz, Dr. C. Giesemann, TU Clausthal, Institut für Informatik

21. März 2018

In der Übung werden die beiden MOS-Transistortypen



und der integrierte Schaltkreis HEF4011 mit 4 NAND-Gattern



verwendet.

Aufgabe 5.1: Hausaufgabe

Schätzen Sie für die 4 Schaltungen in Abb. 1 die Übertragungsfunktion

$$U_a = f(U_{e,i}) \quad i \in \{1, 2, 3, 4\}$$

ab:

NMOS-Transistor: IRFD014, Einschaltspannung $2\text{ V} < U_{th} < 4\text{ V}$, $K \approx 2\text{ A/V}^2$; PMOS-Transistor: IRFD9024, Einschaltspannung $-4\text{ V} < U_{th} < -2\text{ V}$, $K \approx -0,5\text{ A/V}^2$

Warum sind NMOS-Transistoren besser geeignet, den Ausgang auf Null- und PMOS-Transistoren besser geeignet, den Ausgang auf Eins zu ziehen?

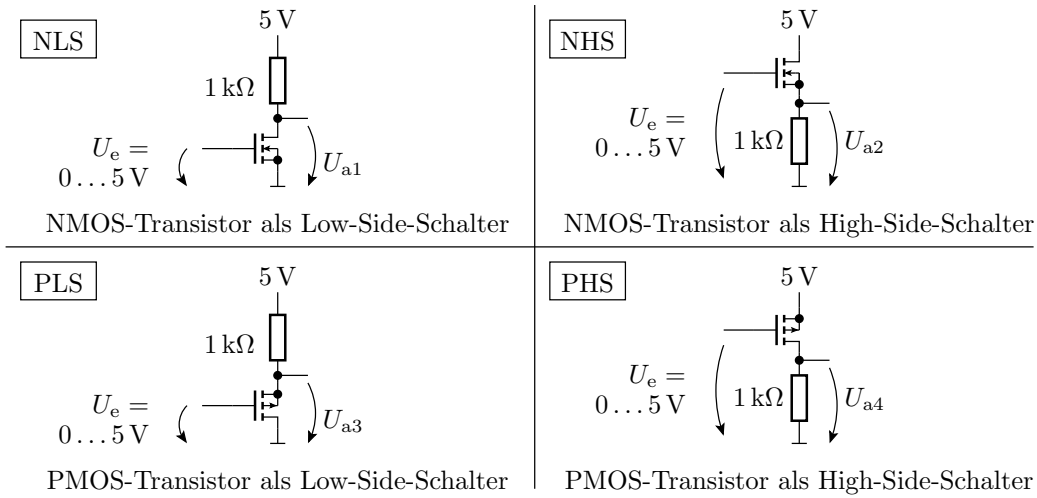
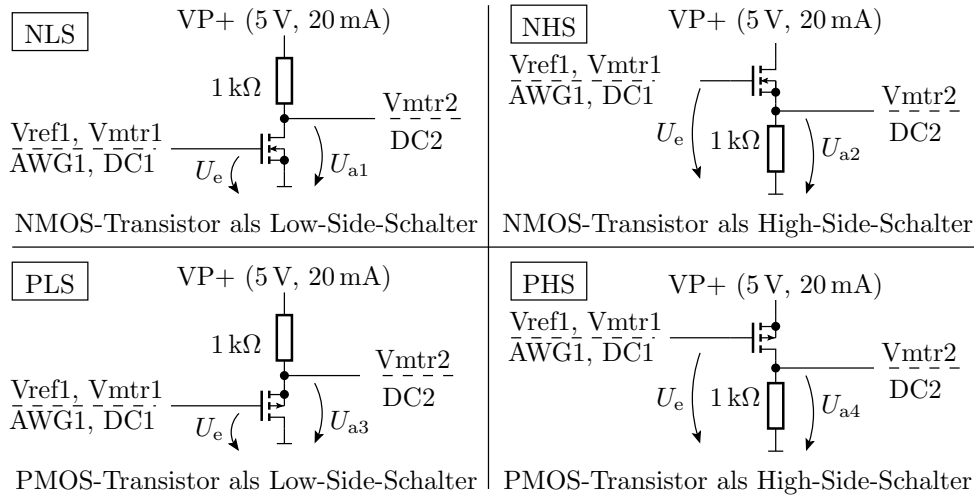


Abbildung 1: MOS-Transistoren als Schalter

Aufgabe 5.2

Bauteile: Widerstand 1 kΩ, NMOS-Transistor: IRFD014, PMOS-Transistor: IRFD9024

Überprüfen Sie Ihre Abschätzung aus der Aufgabe zuvor experimentell mit der Versuchsschaltung in Abb.2. Die Übertragungsfunktion ist im Bereich von $U_e = 0 \dots 5 \text{ V}$ zu erstellen¹.



für Einzelmessung
mit Wavegen und Scope

Abbildung 2: Messschaltungen

¹Wie auf dem vorherigen Aufgabenblättern dürfen Sie die Übertragungsfunktion entweder mit Einzelmessungen oder mit dem Signalgenerator und dem Oszilloskop bestimmen. In beiden Fällen müssen Sie bei der Abnahme das exportierte Datenfile und das m-Skript zur Erzeugung des Octave-Plots vorweisen können. Vergessen Sie nicht, im Fenster »Supplies« für »VP+« eine Spannung von 5 V und eine Strombegrenzung von 20 mA einzustellen und die Quelle zu aktivieren.

Aufgabe 5.3

Bauteile: Schaltkreis HEF4011

Bestimmen Sie mit dem Versuchsaufbau in Abb. 3 die Übertragungsfunktion eines NAND-Gatters und stellen Sie diese mit Octave graphisch dar.

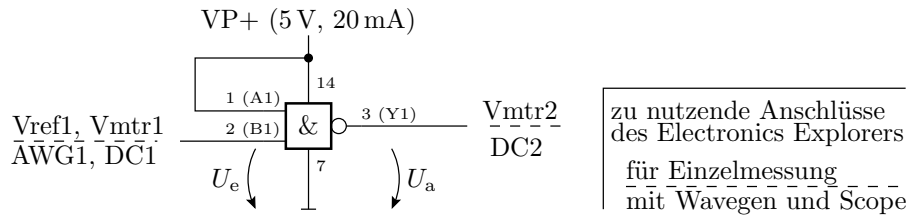


Abbildung 3: Messschaltung zur Bestimmung der Übertragungsfunktion eines NAND-Gatters

Aufgabe 5.4

Bauteile: Schaltkreis HEF4011

Bauen Sie aus NAND-Gattern die Schaltung in Abb. 4 auf:

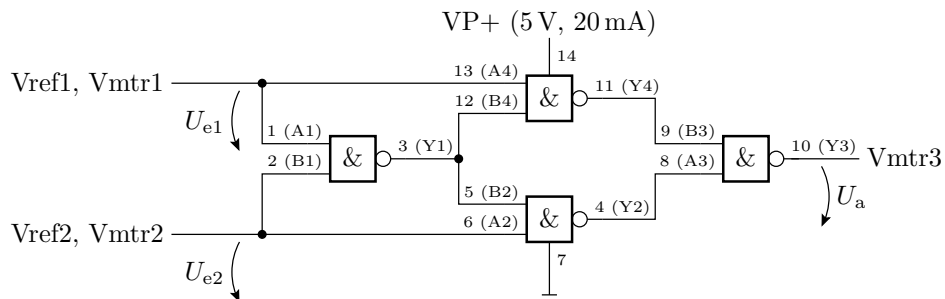


Abbildung 4: Test einer Logikschaltung

Bestimmen Sie die logische Funktion, indem Sie nachfolgende Tabelle ausfüllen:

| | | | | |
|----------|---|-----|-----|-----|
| U_{e1} | 0 | 5 V | 0 | 5 V |
| U_{e2} | 0 | 0 | 5 V | 5 V |
| U_a | | | | |

Aufgabe 5.5

Bauteile: Schaltkreis HEF4011, 2 Widerstände 1 kΩ, 2 Leuchtdioden rot

Bauen Sie aus NAND-Gattern die Schaltung in Abb. 5 auf:

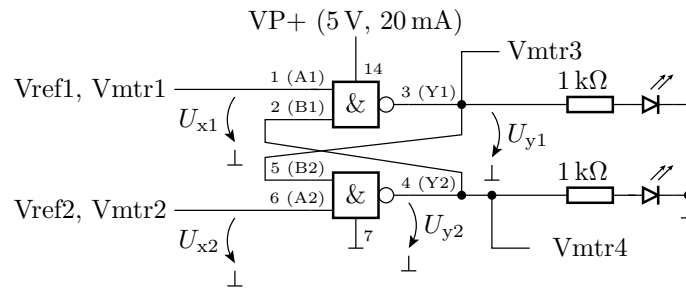


Abbildung 5: Test eines RS-Flipflops

Bestimmen Sie die logische Funktion, indem Sie nachfolgende Tabelle ausfüllen:

| | | | | | | | |
|----------|-----|-----|-----|-----|-----|---|-----|
| U_{x1} | 5 V | 5 V | 5 V | 0 | 5 V | 0 | 0 |
| U_{x2} | 5 V | 0 | 5 V | 5 V | 5 V | 0 | 5 V |
| U_{y1} | | | | | | | |
| U_{y2} | | | | | | | |

Was passiert, wenn beide Eingänge gleichzeitig von 0 nach 5 V wechseln? Tritt immer derselbe Folgezustand auf oder ist der Folgezustand Zufall?

Abnahmekriterien

Aufgabe 5.1: Vier plausible Übertragungsfunktionen $U_a = f(U_{e,i})$ als Skizzen.

Aufgabe 5.2: Vier plausible Übertragungsfunktionen jeweils als Octave- oder WaveForms-Bild und als Skizze mit beschrifteten Achsen.

Aufgabe 5.3: Eine plausible Übertragungskennlinie als Octave- oder WaveForms-Bild und als Skizze mit beschrifteten Achsen.

Aufgabe 5.4: Ausgefüllte Tabelle.

Aufgabe 5.5: Ausgefüllte Tabelle, beantwortete Frage.

Die Teilnehmer sagen, welche Aufgaben sie gelöst haben. Der Hilfswissenschaftler führt Stichprobenkontrollen zu den als fertig gemeldeten Aufgaben durch.

Logiktest (Zusatzaufgaben für Interessierte)

Abb. 6 zeigt eine Schaltung aus den vier Gattern eines HEF 4011, angeschlossen an den digitalen Ein-/Ausgängen (DIO's) des »Electronics Explorers« und einen Vorschlag für den Aufbau auf dem Steckbrett.

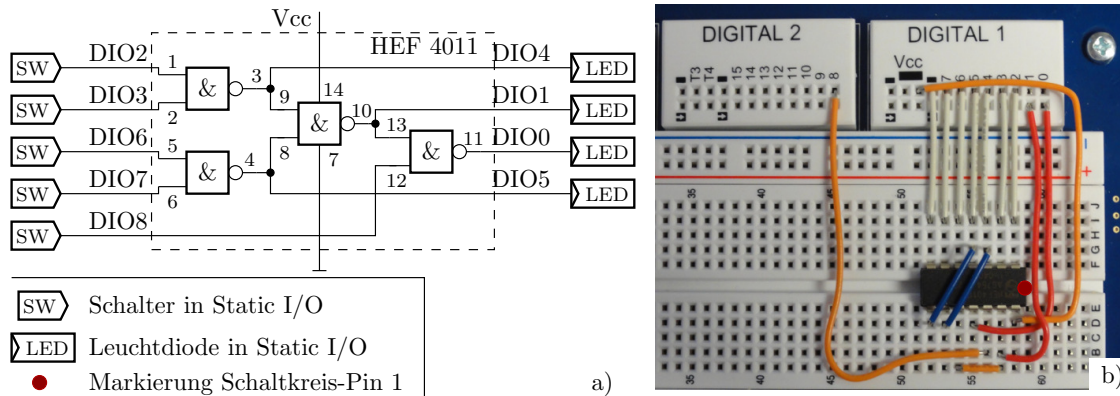


Abbildung 6: Testschaltung für den Logiktest a) Schaltplan b) Steckbrettaufbau

Statischer Test

Ein statischen Test kontrolliert die logische Funktion ohne Berücksichtigung potentieller Probleme durch Signalverzögerungen. In jedem Testschritt werden Eingabewerte eingestellt (z.B. mit Schaltern) und die Ausgaben überprüft (z.B. mit Leuchtdioden). Das lässt sich mit »WaveForms« im StaticIO-Fenster nachbilden (zu öffnen mit dem Icon »StaticIO«). Für die Beispielschaltung sind DIO 2, DIO 3, DIO 6, DIO 7 und DIO 8 wie in Abb. 6 als Schalter zu konfigurieren (linke Maustaste auf die Zahl > Switches > Push/Pull Switch). DIO 0, DIO 1, DIO 4 und DIO 5 sind als Leuchtdioden zu belassen. Der Test besteht aus Schalterwerte einstellen und Ausgabewerte protokollieren bzw. mit Sollwerten vergleichen.

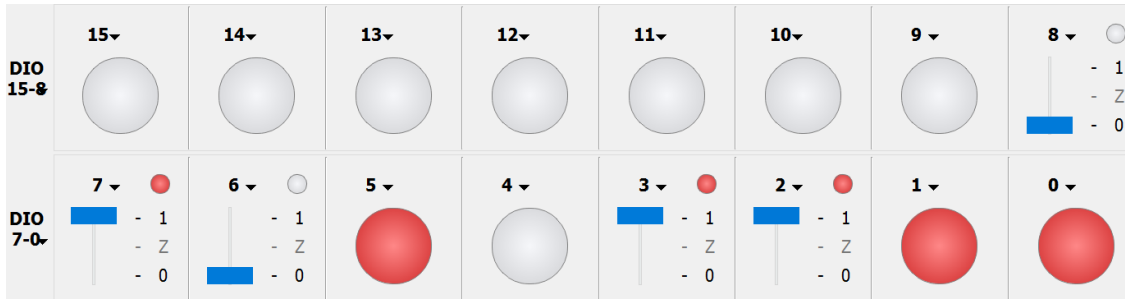


Abbildung 7: Konfiguration des Static-I/O-Fensters für die Testschaltung in Abb. 6

Aufgabe 5.6

Bauen Sie die Beispielschaltung wie im Foto in Abb. 6 auf. Konfigurieren Sie das Static-I/O-Fenster wie in Abb. 7. Aktivieren Sie im Fenster »Supplies« die Quelle Vcc. Führen Sie die Tests durch und füllen Sie die nachfolgende Tabelle aus:

| DIO 2 | DIO 3 | DIO 6 | DIO 7 | DIO 8 | DIO 0 | DIO 1 | DIO 4 | DIO 5 |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | | | | |
| 1 | 0 | 0 | 0 | 0 | | | | |
| 1 | 1 | 0 | 0 | 0 | | | | |
| 1 | 1 | 1 | 0 | 0 | | | | |
| 1 | 1 | 1 | 1 | 0 | | | | |
| 1 | 1 | 1 | 1 | 1 | | | | |
| 0 | 1 | 1 | 1 | 1 | | | | |
| 0 | 0 | 1 | 1 | 1 | | | | |
| 0 | 0 | 0 | 1 | 1 | | | | |
| 0 | 0 | 0 | 0 | 1 | | | | |

Test mit Logikgenerator und Logikanalysator

Ein Logikgenerator stellt Folgen digitale Eingangssignale bereit und ein Logikanalysator zeichnet digitale Signalfolgen auf. Der »Electronics Explorer« hat 32 digitale Anschlüsse, die wahlweise als static I/O's, als Logikgeneratorausgänge oder als Logikanalysatoreingänge genutzt werden können.

Das Logikgeneratorfenster wird über die Schaltfläche »Patterns« geöffnet. Für das Beispiel folgende Einstellungen vornehmen:

- Eingabebus definieren: Klick auf² »+Click to Add channels«, »Bus« auswählen.
- Name: Eing; DIO 8, DIO 7, DIO 6, DIO 5, DIO 4. Mit »+« nach rechts übernehmen. Format hexadecimal. Übernahme mit »Add«.
- Falls nötig, Korrektur: hinter dem Busnamen erstes Symbol anklicken. ...
- Eingabedaten festlegen: Hinter dem Busnamen zweites Symbol anklicken. Type: Johnson Counter. Output: PP; Idle: 0; Frequency: 1 kHz.
- Pattern-Fenster: Run: 10ms; Repeat: 1. Show: 1 ms/div (Abb. 8).

Sollte zu Beginn der Signale »Controlled by Static I/O« stehen, ist das »Static I/O«-Fenster noch aktiv, erkennbar am roten Kreis in der Fensterleiste. Zum Deaktivieren roten Kreis anklicken, grünes Dreieck erscheint.

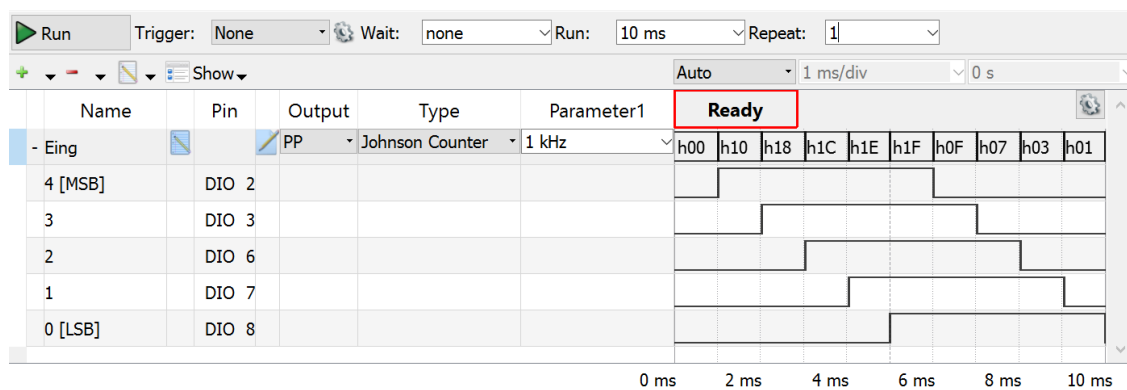


Abbildung 8: Konfigurationsfenster des Logikgenerators

²Bei weiteren Bussignalen auf das Icon »+«.

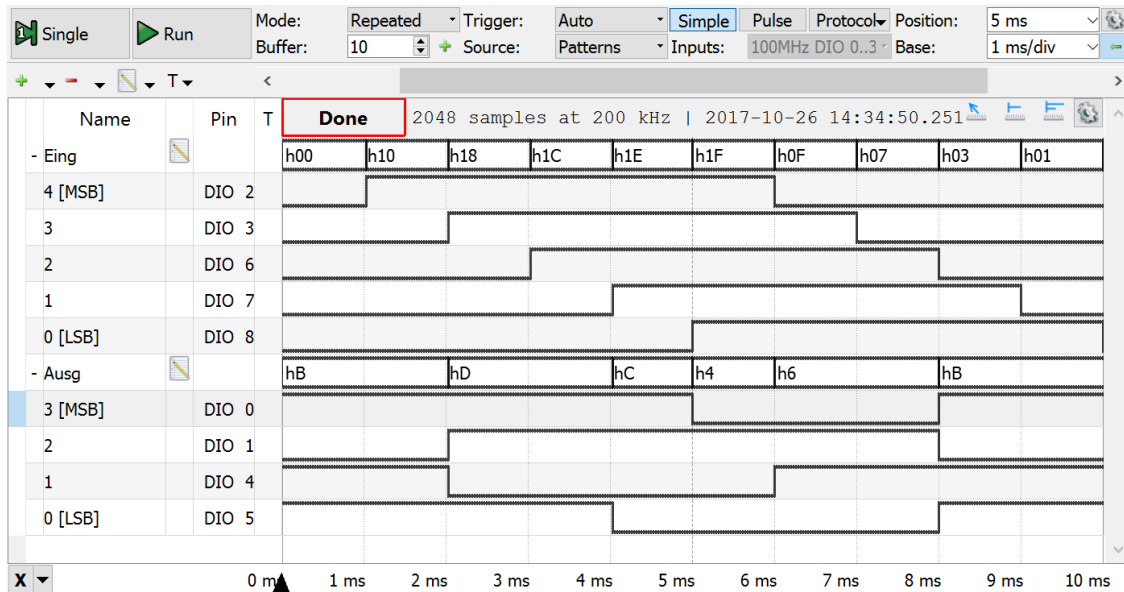


Abbildung 9: Konfigurations- und Aufzeichnungsfenster des Logikanalysators

Das Logikanalysatorfenster wird über die Schaltfläche »Logic« geöffnet. Für das Beispiel sind im Logikanalysatorfenster folgende Konfigurationen vorzunehmen (Abb. 9):

- Eingabebus definieren: Klick auf »+Click to Add channels«, »Bus« auswählen.
- Ausgabebus definieren: Klick auf Icon »+«, »Bus« auswählen. Name: Ausg; DIO 5, DIO 4, DIO 1, DIO 0. Mit »+« nach rechts übernehmen. Format Hexadecimal. Add.
- Aufzeichnungsbeginn bei Start des Signalgenerators: Source: Patterns
- Darstellungszeit 0 bis 10 ms ab Start: Base: 1 ms/div. Position: 5 ms.

Aufzeichnung:

- Im Fenster »Supplies« die Versorgungsspannung »Vcc« einschalten.
- Im Logikanalysator-Fenster »Logic« den Button »Single« betätigen.
- Warten bis der Triggerzustand von »Ready« auf »Armed« (scharf) wechselt.
- Im Logikgeneratorfenster »Patterns« den Button »Run« bzw. im Reiter »Patterns« das grüne Dreieck betätigen.
- Warten bis der Triggerzustand über »Trig'd« auf »Done« wechselt.

Zur Untersuchung der Verzögerungszeiten ist der Test wesentlich schneller durchzuführen, z.B. mit einem Takt von 1 MHz statt 1 kHz. Dazu im Logikgeneratorfenster umstellen:

- Generatortakt: hinter dem Busnamen das zweite Symbol anklicken. Frequency: 1 MHz.
- Anzeigefenster anpassen: Run 10 μ s, Show: 1 μ s/div.

Im Logikanalysator ist auch das Zeitfenster umstellen: Base: 1 μ s/div. Position: 5 μ s.

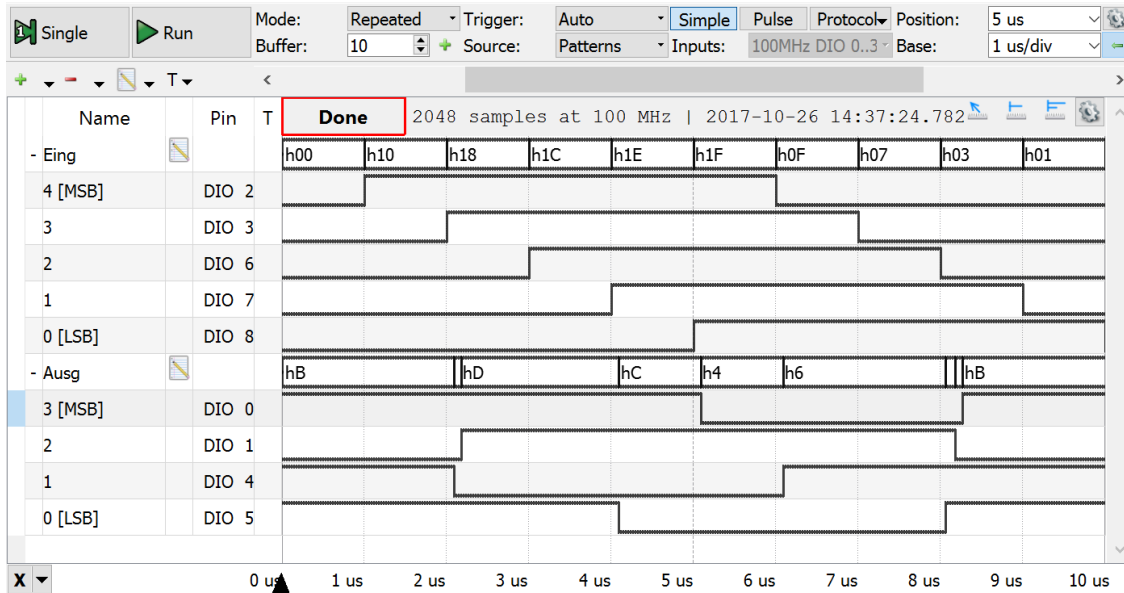


Abbildung 10: Schnelle Datenaufzeichnung

Abb. 10 zeigt den so aufgezeichneten Signalverlauf, in dem die Ausgabeänderungen sichtbar gegenüber den Eingabeänderungen verzögert sind. Diese Verzögerungen lassen sich Änderung des Darstellungsmaßstabes vergrößern:

- Verschiebung des darzustellenden Bereichs in die Fenstermitte (gestrichelte Linie).
- Änderung der Zeitbasis »Base« in 50ns/div.

In dem Foto mit dem vergrößerten Ausschnitt (Abb. 11) ist ablesbar, dass die Änderung an DIO 4 gegenüber der an DIO 3 um ca. $\Delta X \approx 91$ ns verzögert ist. Für die Zeitmessung dienen die drei Symbole vor dem Zahnrad direkt über dem Graphen. Mittleres Symbol auswählen, damit auf Startzeit (im Beispiel steigende Flanke DIO 3) klicken und anschließend auf Endzeit (im Beispiel fallende Flanke DIO 4) klicken.

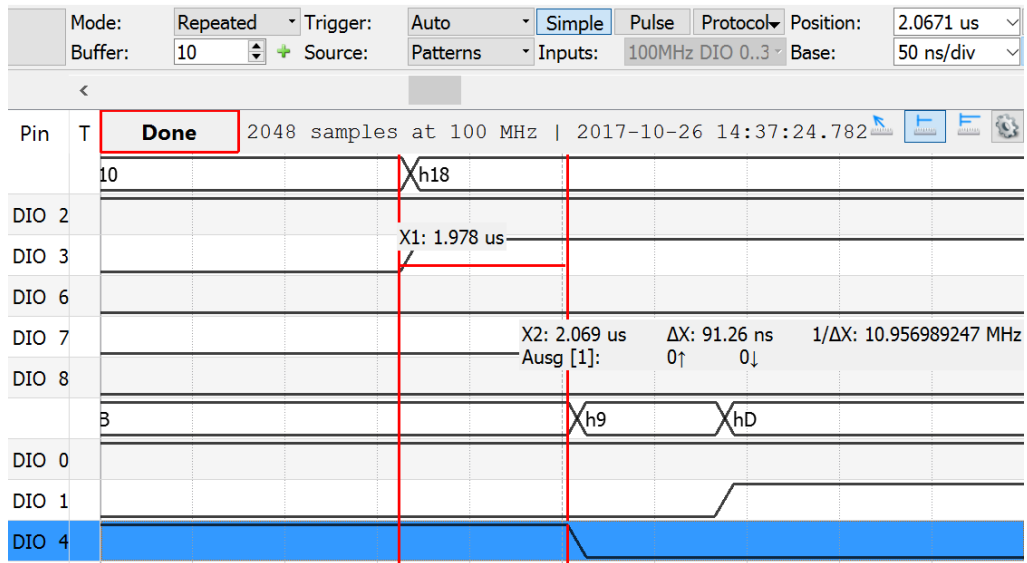


Abbildung 11: Zoom-Fester zu Abb. 10

Aufgabe 5.7

Führen Sie für die aufgebaute Beispielschaltung die beschriebenen Tests mit dem Logikgenerator und -analysator durch. Kontrollieren Sie, dass die logischen Ausgaben in jedem Testschritt mit denen aus der vorherigen Aufgabe übereinstimmen. Bestimmen Sie die Verzögerung von der fallenden Flanke an DIO 6 zu den nachfolgenden Signalwechselln an DIO 0, DIO 1 und DIO 5.